

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-283788

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

G11C 16/02

G11C 16/06

(21)Application number : 09-087983

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.04.1997

(72)Inventor : TANAKA TOMOHARU

NAKAMURA HIROSHI

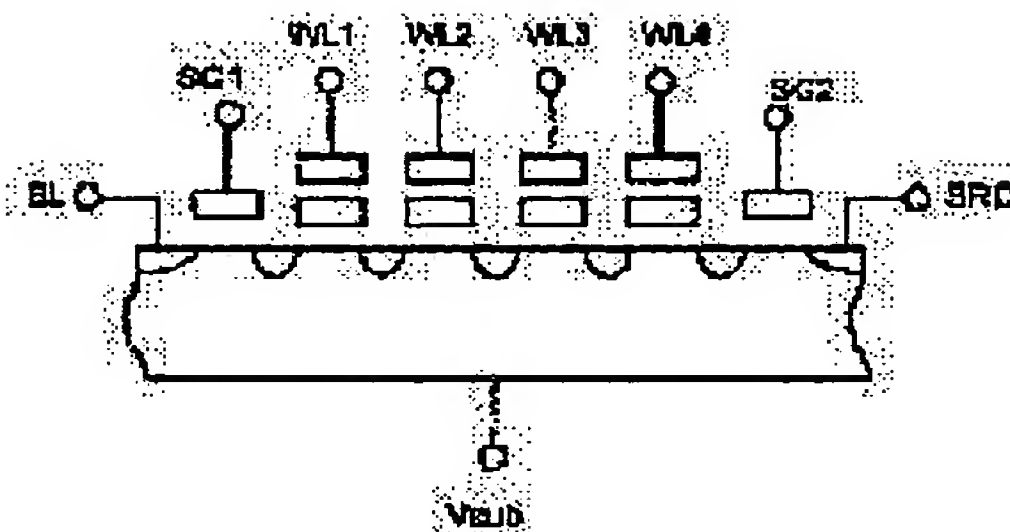
TANZAWA TORU

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To stably generate the channel potential of a memory cell when writing 0 data by generating the channel potential of the memory cell when writing the 0 data without depending on the threshold of the memory cell where data are written.

SOLUTION: In an erasure operation, a semiconductor substrate potential V_{sub} and the potentials of selection gates SG1 and SG2, a source line SRC, and a bit line BL are set to approximately 20 V and the potentials of word lines WL1-WL4 of a selection block where a block erasure is performed are set to 0 V. At this time, a negative charge moves from a floating gate to a channel and the floating gate is electrified positively for a state without any charge, thus setting the threshold of all memory cells in the selection block to negative data 0. Also, in write operation, one selection word line potential of the selection block is set to 16 V, three non-selection word line potentials are set to a value that is less than a write potential, the selection gate SG1 is set to a power supply potential, the selection gate SG2 and the non-selection block work line, and all of the selection gate potentials are set to 0 V.



LEGAL STATUS

[Date of request for examination]

17.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-283788

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶

G 1 1 C 16/02
16/06

識別記号

F I

G 1 1 C 17/00

6 4 1

6 3 4 B

審査請求 未請求 請求項の数18 O L (全 29 頁)

(21) 出願番号 特願平9-87983

(22) 出願日 平成9年(1997)4月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田中 智晴

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 中村 寛

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 丹沢 徹

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

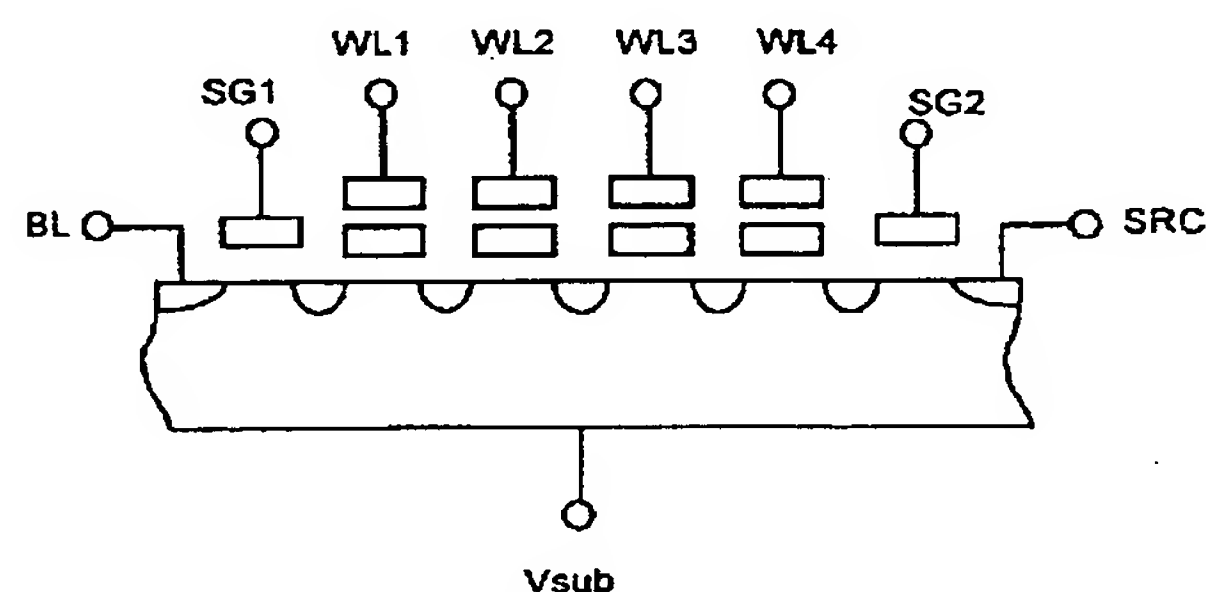
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 書き込み時のチャネル電位を十分に確保し、誤書き込みを防ぐ。

【解決手段】 データの書き込みは、ソース側のメモリセルから実行される。データの書き込み時において、選択ワード線がWL2の場合、選択ワード線WL2には、約16Vの電位が印加される。選択メモリセルに対しソース線側に隣接するメモリセルの非選択ワード線WL3の電位は、0Vに設定される。その他の非選択ワード線WL1、WL4の電位は、約10Vに設定される。選択ワード線がWL4の場合、非選択ワード線WL1～WL3には、約10Vの電位が印加される。



【特許請求の範囲】

【請求項 1】 メモリセルと、前記メモリセルに接続されるビット線と、プリチャージ回路を含む読み出し回路と、前記ビット線と前記読み出し回路の間に接続される第 1 トランジスタとを具備し、前記ビット線は、前記第 1 トランジスタのゲートに第 1 電位が印加されているときに前記プリチャージ回路によってプリチャージされ、前記読み出し回路は、前記第 1 トランジスタのゲートに前記第 1 電位よりも低い第 2 電位が印加されているときに前記ビット線の電位の変化をセンスすることを特徴とする半導体記憶装置。

【請求項 2】 前記プリチャージ回路は、前記第 1 トランジスタと電源端子の間に接続される第 2 トランジスタにより構成され、前記第 2 トランジスタは、前記第 1 トランジスタのゲートに前記第 2 電位が印加されている間、非導通状態に設定されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 1 トランジスタは、n チャネル MOS トランジスタであることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記第 2 トランジスタは、n チャネル MOS トランジスタであることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記ビット線の静電容量は、前記第 1 トランジスタと前記読み出し回路の接続部の静電容量よりも大きいことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 第 1 及び第 2 選択トランジスタの間に複数のメモリセルが直列接続された NAND 型メモリセルユニットと、前記複数のメモリセルのうち選択メモリセルに対して書き込みを行うための書き込み手段とを具備し、前記書き込み手段は、書き込み時に、前記選択メモリセルのゲート電極に第 1 電位を印加し、前記選択メモリセルの一方側に隣接するメモリセルのゲート電極に前記第 1 電位よりも低い第 2 電位を印加し、残りのメモリセルのゲート電極に前記第 1 電位よりも低く前記第 2 電位よりも高い第 3 電位を印加することを特徴とする半導体記憶装置。

【請求項 7】 前記選択メモリセルの一方側とは、前記選択メモリセルに対して前記第 2 選択トランジスタ側のことであり、前記第 1 選択トランジスタは、ビット線に接続され、前記第 2 選択トランジスタは、ソース線に接続されることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記複数のメモリセルに対し、前記第 2 選択トランジスタに隣接するメモリセル側から前記第 1 選択トランジスタに隣接するメモリセル側へ順次書き込みを行うことを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】 前記第 1 電位は、書き込み用の高電位で

あり、前記第 2 電位は、接地電位であることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 10】 前記書き込み手段は、前記書き込み前に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第 1 選択トランジスタ側に存在するメモリセルのゲート電極に第 4 電位を印加し、前記残りのメモリセルのうち前記選択メモリセルに対し前記第 2 選択トランジスタ側に存在するメモリセルのゲート電極に第 5 電位を印加し、前記複数のメモリセルのチャンネルを充電することを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 11】 前記第 5 電位は、前記第 4 電位よりも高いことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 12】 前記書き込み手段は、前記書き込み前に、前記選択メモリセルのゲート電極に前記第 4 電位を印加し、前記選択メモリセルの一方側に隣接するメモリセルのゲート電極に前記第 2 電位を印加することを特徴とする請求項 11 記載の半導体記憶装置。

【請求項 13】 前記書き込み手段は、前記書き込み前に、前記選択メモリセルのゲート電極に前記第 5 電位を印加し、前記選択メモリセルの一方側に隣接するメモリセルのゲート電極に前記第 2 電位を印加することを特徴とする請求項 11 記載の半導体記憶装置。

【請求項 14】 前記第 4 及び第 5 電位は、前記第 3 電位より低いことを特徴とする請求項 12 又は 13 記載の半導体記憶装置。

【請求項 15】 前記第 4 電位は、電源電位であることを特徴とする請求項 14 記載の半導体記憶装置。

【請求項 16】 前記書き込み手段は、前記書き込み時に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第 2 選択トランジスタ側に存在するメモリセルのゲート電極に前記第 3 電位を印加した後に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第 1 選択トランジスタ側に存在するメモリセルのゲート電極に前記第 3 電位を印加することを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 17】 前記書き込み手段は、前記書き込み時に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第 2 選択トランジスタ側に存在するメモリセルのゲート電極に前記第 3 電位を印加した後に、前記選択メモリセルのゲート電極に前記第 1 電位を印加することを特徴とする請求項 16 記載の半導体記憶装置。

【請求項 18】 前記選択メモリセルのゲート電極に前記第 1 電位を印加する時期は、前記残りのメモリセルのうち前記選択メモリセルに対し前記第 1 選択トランジスタ側に存在するメモリセルのゲート電極に前記第 3 電位を印加する時期に実質的に等しいことを特徴とする請求項 17 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に、多値フラッシュメモリ、多値EEPROM、多値EPROMに使用される。

【0002】

【従来の技術】半導体基板上に浮遊ゲート（電荷蓄積層）と制御ゲートを有するMOSFET構造は、フラッシュメモリのメモリセルの1つとしてよく知られている。

【0003】通常、フラッシュメモリの1つのメモリセルには、1ビットデータ、即ち、データ“0”又は“1”が記憶される。また、メモリセルのデータが“0”であるか又は“1”であるかは、浮遊ゲートに蓄えられた電荷量によって識別可能である。

【0004】これに対し、近年では、大きなデータ容量を確保するため、1つのメモリセルに多ビットのデータを記憶させる多値記憶方式の開発が進められている。例えば、4値記憶方式では、1つのメモリセルに、データ“0”、“1”、“2”又は“3”が記憶される。

【0005】多値記憶方式のフラッシュメモリにおいて、メモリセルにいずれのデータが記憶されているかは、浮遊ゲートに蓄えられた電荷量によって判断する。

【0006】以下、データの記憶状態、即ち、データと浮遊ゲート中の電荷量との関係について、4値記憶方式のフラッシュメモリを例に説明する。

【0007】まず、データ“0”は、消去状態に対応する。

【0008】消去状態とは、浮遊ゲート中に正の電荷が蓄えられている状態のことである。即ち、消去状態においては、浮遊ゲートは、浮遊ゲート中の電荷量が零の中性状態に対して正に帯電している。

【0009】消去状態は、例えば、半導体基板に高電位（約20V）を与え、制御ゲートを接地電位（0V）とし、正の電荷を半導体基板から浮遊ゲートへ移動させることにより得られる。

【0010】次に、データ“1”、“2”及び“3”は、書き込み状態に対応する。

【0011】書き込み状態とは、浮遊ゲート中に負の電荷が蓄えられている状態のことである。但し、データ“2”の状態の浮遊ゲート中の負の電荷量は、データ“1”の状態の浮遊ゲート中の負の電荷量よりも多く、データ“3”の状態の浮遊ゲート中の負の電荷量は、データ“2”の状態の浮遊ゲート中の負の電荷量よりも多くなるように設定される。

【0012】書き込み状態においては、浮遊ゲートは、浮遊ゲート中の電荷量が零の中性状態に対して負に帯電している。

【0013】書き込み状態は、例えば、半導体基板、ソース、ドレインをそれぞれ接地電位（0V）に設定し、制御ゲートに高電位（約16V）を与え、負の電荷を半導体基板から浮遊ゲートに移動させることにより得られ

る。

【0014】書き込み動作中、データ“0”を維持したいメモリセルでは、ソース、ドレイン及びチャネルが5Vに設定される。この場合、制御ゲートに高電位（約16V）が与えられ、基板が接地電位（0V）に設定されても、正の電荷は浮遊ゲート中に保持されるため、データ“0”が維持される。

【0015】以上より、1つのメモリセルにより、4種類の書き込み状態（“0”、“1”、“2”、“3”）が実現できる。

【0016】フラッシュメモリには、NAND型メモリセルユニットを有するものが知られている。

【0017】このメモリセルユニットは、複数（例えば、4個）のメモリセルから構成されるメモリセル列と、メモリセル列の一端とビット線の間接続される第1選択トランジスタと、メモリセル列の他端とソース線の間接続される第2選択トランジスタとから構成される。

【0018】なお、ソース線は、全てのメモリセルユニットに対して共通となっている。

【0019】NAND型メモリセルユニットを有するフラッシュメモリでは、データ“0”の書き込み時においては、ビット線を電源電位VCC（例えば、3V）、第1選択トランジスタのゲートを電源電位VCC、選択メモリセルの制御ゲートを第1高電位（例えば、16V）、非選択メモリセルの制御ゲートを第2高電位（例えば、10V）に設定し、選択メモリセルの浮遊ゲートに蓄えられている電荷を保持する。

【0020】この時、NAND型メモリセルユニットの各メモリセルのチャネルは、第1選択トランジスタを経由してビット線に接続されているため、各メモリセルのチャネルの電位は、第1選択トランジスタのいわゆる閾値落ちを考慮すると、当初は、電源電位VCC（例えば、3V）以下の所定電位となる。

【0021】この後、第1選択トランジスタが非導通となると、NAND型メモリセルユニットの各メモリセルのチャネルの電位は、制御ゲートとチャネルの間に生じる静電容量によって上昇する。例えば、静電容量の結合比が50%であれば、チャネルの電位は、約5Vとなる。

【0022】然るに、メモリセルの浮遊ゲートに負の電荷が蓄積されていると、メモリセルの閾値は、高くなる。これに伴い、データ“0”の書き込み動作中の各メモリセルのチャネル電位は、メモリセルの閾値が高くなればなる程、低くなり、データ“0”を維持するうえでの信頼性は低下する。

【0023】ところが、メモリセルの閾値が-1Vの場合には、制御ゲートの電位が約0Vのとき、チャネルの電位は、約1Vとなり、制御ゲートの電位が約10Vのとき、チャネルの電位は約6Vとなる（結合比50

%)。

【0024】また、メモリセルの閾値が3Vの場合には、制御ゲートの電位が約1Vのとき、チャネルの電位は、約0Vとなり、制御ゲートの電位が約10Vのとき、チャネルの電位は約4.5Vとなる（結合比50%）。

【0025】NAND型メモリセルユニットを有するフラッシュメモリにおいては、メモリセルのデータは、制御ゲートに所定の読み出し電位を与え、メモリセルのデータに応じて当該メモリセルをオン又はオフ状態にするようにし、このときにメモリセルのチャネルに流れるセル電流を検出することにより読み出せる。

【0026】ここで、読み出し電位を3種類用意すれば、4種類の書き込み状態（浮遊ゲート中の電荷の種類及び量、即ち、閾値が異なる状態）を判別できる。

【0027】また、NAND型メモリセルユニットは、複数のメモリセルが直列接続された構成を有しているため、読み出し動作時におけるセル電流が少ない（例えば、1 μ A程度である）点に特徴がある。

【0028】読み出し時間については、例えば、選択メモリセルに繋がるビット線容量を約5pFとすると、ビット線の電位がセル電流によって1V変動するまでに、約5 μ secの時間が必要である。

【0029】メモリセルのデータを少ないセル電流で高速に読み出すために、例えば、ビット線と読み出し回路の間にNチャネルMOSトランジスタを接続し、このMOSトランジスタのゲートに約2Vの電位を与えて、ビット線をプリチャージする。

【0030】この場合、NチャネルMOSトランジスタの閾値を約1Vとすると、ビット線は、当該MOSトランジスタのいわゆる閾値落ちを考慮すると、約1Vにプリチャージされる。

【0031】ビット線がプリチャージされると、NチャネルMOSトランジスタは、次第に高抵抗となり、その後、非導通状態となる。但し、ビット線のプリチャージは、実効的なプリチャージ時間を考慮すると、NチャネルMOSトランジスタが完全に非導通状態になるまで継続されない。

【0032】読み出し動作時、選択メモリセルにセル電流が流れ、ビット線の電位が低下すると、ビット線に繋がるNチャネルMOSトランジスタのチャネル抵抗が低抵抗化するため、この状態を検出すれば、高速にビット線の電位の変化（メモリセルのデータ）をセンスすることが可能となる。

【0033】NチャネルMOSトランジスタのチャネル抵抗の変化は、当該MOSトランジスタのチャネル抵抗の抵抗値といわゆる参照抵抗の抵抗値を比較することにより検出できる。このため、参照抵抗、NチャネルMOSトランジスタ、メモリセルに電流パスを設ける。

【0034】しかしながら、このような読み出し動作で

は、複数の選択メモリセルのデータを同時に読み出す場合、各選択メモリセルの閾値に応じて、全てのセルユニットに共通となるソース線に大きな電流が流れたり、逆に、全く流れなかったりする。

【0035】例えば、ほとんどの選択メモリセルにセル電流が流れるような場合、即ち、ほとんどの選択メモリセルのデータが“0”であるような場合には、ソース線に大きな電流が流れ、ソース線の電位が変動する。ソース線の電位の変動は、選択メモリセルのデータを正確に読み出せない状態を作り出す。

【0036】

【発明が解決しようとする課題】以上のように、例えば、データ“0”の書き込み時において、メモリセルユニット中のメモリセルの閾値が高いと、メモリセルのチャネル電位が十分に上昇しないため、選択メモリセルに、データ“0”でなく、データ“1”が書き込まれてしまうという恐れがある。

【0037】また、読み出し時において、セル電流の少ないメモリセルの状態を検出するのに非常に時間がかかる反面、高速にメモリセルの状態を検出しようとするとき正確にメモリセルの状態を検出できないという欠点がある。

【0038】本発明は、上記欠点を解決すべくなされたもので、その目的は、書き込み時にメモリセルのチャネル電位を十分確保すること、及び、読み出し時に高速かつ正確にメモリセルの状態を検出することである。

【0039】

【課題を解決するための手段】上記課題を解決すべく、本発明の半導体記憶装置は、メモリセルと、前記メモリセルに接続されるビット線と、プリチャージ回路を含む読み出し回路と、前記ビット線と前記読み出し回路の間に接続される第1トランジスタとを備え、前記ビット線は、前記第1トランジスタのゲートに第1電位が印加されているときに前記プリチャージ回路によってプリチャージされ、前記読み出し回路は、前記第1トランジスタのゲートに前記第1電位よりも低い第2電位が印加されているときに前記ビット線の電位の変化をセンスする。

【0040】前記プリチャージ回路は、前記第1トランジスタと電源端子の間に接続される第2トランジスタにより構成され、前記第2トランジスタは、前記第1トランジスタのゲートに前記第2電位が印加されている間、非導通状態に設定される。

【0041】本発明の望ましい実施形態としては、前記第1及び第2トランジスタがnチャネルMOSトランジスタで、前記ビット線の静電容量は、前記第1トランジスタと前記読み出し回路の接続部の静電容量よりも大きい場合である。

【0042】本発明の半導体記憶装置によれば、ビット線と読み出し回路の間にMOSトランジスタを接続し、ビット線のプリチャージ時にはMOSトランジスタのゲ

ートに第1電位を印加し、読み出し時にはMOSトランジスタのゲートに第1電位よりも低い第2電位を印加している。

【0043】よって、ビット線をプリチャージした後、MOSトランジスタを短時間で非導通にすることができ、参照抵抗などを用いずにビット線の電位変化をセンスできるようになり、高速かつ精度よく、メモリセルの書き込み状態を検出できる。

【0044】本発明の半導体記憶装置は、第1及び第2選択トランジスタの間に複数のメモリセルが直列接続されたNAND型メモリセルユニットと、前記複数のメモリセルのうち選択メモリセルに対して書き込みを行うための書き込み手段とを備え、前記書き込み手段は、書き込み時に、前記選択メモリセルのゲート電極に第1電位を印加し、前記選択メモリセルの一方側に隣接するメモリセルのゲート電極に前記第1電位よりも低い第2電位を印加し、残りのメモリセルのゲート電極に前記第1電位よりも低く、前記第2電位よりも高い第3電位を印加する。

【0045】前記選択メモリセルの一方側とは、前記選択メモリセルに対して前記第2選択トランジスタ側のことであり、前記第1選択トランジスタは、ビット線に接続され、前記第2選択トランジスタは、ソース線に接続される。

【0046】前記複数のメモリセルに対し、前記第2選択トランジスタに隣接するメモリセル側から前記第1選択トランジスタに隣接するメモリセル側へ順次書き込みを行う。

【0047】前記書き込み手段は、前記書き込み前に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第1選択トランジスタ側に存在するメモリセルのゲート電極に第4電位を印加し、前記残りのメモリセルのうち前記選択メモリセルに対し前記第2選択トランジスタ側に存在するメモリセルのゲート電極に第5電位を印加し、前記複数のメモリセルのチャンネルを充電する。

【0048】前記第5電位は、前記第4電位よりも高い。

【0049】前記書き込み手段は、前記書き込み前に、前記選択メモリセルのゲート電極に前記第4電位を印加し、前記選択メモリセルの一方側に隣接するメモリセルのゲート電極に前記第2電位を印加する。

【0050】前記書き込み手段は、前記書き込み前に、前記選択メモリセルのゲート電極に前記第5電位を印加し、前記選択メモリセルの一方側に隣接するメモリセルのゲート電極に前記第2電位を印加する。

【0051】前記第4及び第5電位は、前記第3電位より低い。前記第4電位は、電源電位である。

【0052】前記書き込み手段は、前記書き込み時に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第2選択トランジスタ側に存在するメモリセルのゲ

ート電極に前記第3電位を印加した後に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第1選択トランジスタ側に存在するメモリセルのゲート電極に前記第3電位を印加する。

【0053】前記書き込み手段は、前記書き込み時に、前記残りのメモリセルのうち前記選択メモリセルに対し前記第2選択トランジスタ側に存在するメモリセルのゲート電極に前記第3電位を印加した後に、前記選択メモリセルのゲート電極に前記第1電位を印加する。

【0054】前記選択メモリセルのゲート電極に前記第1電位を印加する時期は、前記残りのメモリセルのうち前記選択メモリセルに対し前記第1選択トランジスタ側に存在するメモリセルのゲート電極に前記第3電位を印加する時期に実質的に等しい。

【0055】上記構成の半導体記憶装置によれば、書き込みされたメモリセルの閾値に依存せず、“0”データ書き込み時に、十分かつ安定なチャンネル電位を発生させることができる。

【0056】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体記憶装置について詳細に説明する。

【0057】図1は、本発明の実施の形態に関わる多値記憶方式のNAND型フラッシュメモリの構成を示している。

【0058】メモリセルアレイ1は、複数のNAND型メモリセルユニット、複数のビット線、複数のワード線、及びソース線を含んでいる。NAND型メモリセルユニットは、直列接続された複数のメモリセルからなるメモリセル列と、メモリセル列の両端にそれぞれ接続される選択トランジスタとから構成される。ソース線は、全てのメモリセルユニットに共通となっている。

【0059】ビット線制御回路2は、メモリセルアレイ1のビット線を介してメモリセルのデータを読み出したり、ビット線を介してメモリセルの状態を検出したり、ビット線を介してメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行う。

【0060】ビット線制御回路2は、複数のデータ記憶回路を含んでいる。データ記憶回路は、メモリセルアレイ1のカラムに対して設けられる。カラムデコーダ3により選択されたデータ記憶回路によって読み出されたメモリセルのデータは、データ入出力バッファ4を経由して、データ入出力端子5から外部へ読み出される。

【0061】また、外部からデータ入出力端子5に入力された書き込みデータは、データ入出力バッファ4を経由して、カラムデコーダ3により選択されたデータ記憶回路に初期的な制御データとしてラッチされる。データ記憶回路の制御データは、ビット線を経由してメモリセルアレイ1の選択メモリセルに印加される書き込み制御電圧を制御する。

【0062】ワード線制御回路6は、メモリセルアレイ

1の複数本のワード線のうちの1本を選択し、その1本のワード線に、読み出し動作、書き込み動作、又は消去動作に必要な所定電位を与える。

【0063】メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4及びワード線制御回路6の動作は、それぞれ制御信号および制御電位発生回路7によって制御される。

【0064】また、制御信号および制御電位発生回路7は、外部から制御信号入力端子8に印加される制御信号に基づいて動作する。

【0065】図2は、図1のメモリセルアレイ1及びビット線制御回路2の構成の一例を示している。

【0066】NAND型メモリセルユニットは、互いに直列接続された4個のメモリセルMからなるメモリセル列と、メモリセル列の一端とビット線BLの間に接続される選択トランジスタSと、メモリセル列の他端とソース線SRCとの間に接続される選択トランジスタSとから構成される。

【0067】メモリセルMの制御ゲートは、ワード線 $W L_m$ (m は、1~4のいずれか1つ)に接続され、ビット線側の選択トランジスタSは、選択ゲートSG1に接続され、ソース線側の選択トランジスタSは、選択ゲートSG2に接続される。

【0068】1本のワード線 $W L_m$ を共有する複数のメモリセルMは、ページと呼ばれる単位を構成し、本例の場合、1ブロックは、4ページから構成される。また、本例では、2ブロック分のみを示しているが、実際は、メモリセルアレイ1は、任意の数のブロック(例えば、1024ブロック)から構成される。また、ビット線 $B L_0, B L_1, \dots B L_{4223}$ の本数は、本例では、4224本であるが、任意の本数(例えば2112本)でよい。

【0069】ビット線制御回路2は、複数のデータ記憶回路10を含んでいる。本例では、データ記憶回路10は、2本のビット線 $B L_i, B L_{i+1}$ (i は、0又は偶数)に対して1つ設けられているが、任意の本数、例えば、1本、4本、6本、又は9本のビット線に対して1つ設けてもよい。

【0070】カラム選択信号 $C S L_0, C S L_1, \dots C S L_{4223}$ は、カラムデコーダの出力信号である。カラム選択信号 $C S L_i, C S L_{i+1}$ は、ビット線 $B L_i, B L_{i+1}$ に接続されるデータ記憶回路10に入力される。

【0071】読み出し時、カラム選択信号 $C S L_i, C S L_{i+1}$ によって選択されたデータ記憶回路10にラッチされているメモリセルのデータは、読み出しデータとしてデータ入出力バッファに導かれる。

【0072】また、書き込みに先だって、カラム選択信号 $C S L_i, C S L_{i+1}$ に基づき、ビット線 $B L_i, B L_{i+1}$ のいずれか一方に、書き込み時、メモリセル

に印加される書き込み制御電圧を制御するための制御データが初期的に転送される。

【0073】書き込み状態を検出する際には、ビット線 $B L_i, B L_{i+1}$ のいずれか一方に接続されるメモリセルの書き込み状態を検出する。

【0074】図3は、図2のメモリセルMと選択トランジスタSの構造を示している。

【0075】p型の半導体基板11の表面には、ソース又はドレインとなるn型の拡散層12が形成されている。

【0076】メモリセルMは、半導体基板11中のn型の拡散層12、半導体基板11上のゲート絶縁膜13、ゲート絶縁膜13上の浮遊ゲート14、浮遊ゲート14上の絶縁膜15、絶縁膜15上の制御ゲート(ワード線)16を含んでいる。選択トランジスタSは、半導体基板11中のn型の拡散層12、半導体基板11上のゲート絶縁膜17、ゲート絶縁膜17上の選択ゲート18を含んでいる。

【0077】メモリセルMの制御ゲート16にメモリセルMの閾値以上の電位を与えると、浮遊ゲート14直下の半導体基板11の表面にはチャンネルが形成される。

【0078】例えば、制御ゲート16と浮遊ゲート14の間の容量が1fF、浮遊ゲート14とチャンネルの間の容量が1fF、チャンネルと半導体基板11の間の容量が0.25fF、n型拡散層12と半導体基板11の間の容量が0.25fFと仮定した場合、制御ゲート16とチャンネルの容量結合比及び制御ゲート16とn型拡散層12の容量結合比は、それぞれ50%である。

【0079】この場合、チャンネルとn型拡散層12が浮遊状態であると、制御ゲート16が1V上昇すると、チャンネル及びn型拡散層12の電位は、0.5V上昇する。

【0080】図4は、図2のNAND型メモリセルユニットの構造を示している。

【0081】4つのメモリセルMによりメモリセル列が構成され、メモリセル列の一端は、選択トランジスタSを経由してソース線SRCに接続され、メモリセル列の他端は、選択トランジスタSを経由してビット線BLに接続される。

【0082】消去動作では、半導体基板の電位 V_{sub} を約20Vに設定し、選択ゲートSG1、SG2、ソース線SRC、ビット線BLの電位を約20Vに設定し、ブロック消去(ブロック内の全メモリセルのデータを同時に消去すること)を行う選択ブロックのワード線 $W L_1 \sim W L_4$ の電位を0Vに設定する。

【0083】この時、負の電荷(電子)が浮遊ゲートからチャンネルに移動し、浮遊ゲートは、中性状態(電荷が存在しない状態)に対して正に帯電するため、選択ブロック内の全メモリセルMの閾値は、負になる(データ“0”の状態)。

【0084】なお、ブロック消去を行わない非選択ブロックでは、ワード線WL1～WL4の電位を約20Vに設定しておく。これにより、各メモリセルのデータは、消去動作を実行する前の状態を保持することになる。

【0085】書き込み動作では、一括に、選択ブロックの1つの選択ワード線の電位を約16Vに設定し、選択ブロックの3つの非選択ワード線の電位を書き込み電位未満の電位に設定し、選択ゲートSG1を電源電位VCCに設定し、選択ゲートSG2を0Vに設定し、非選択ブロックの全ワード線と全選択ゲートの電位を0Vに設定する。

【0086】例えば、4値記憶方式の場合について説明すると、データ“1”、“2”、“3”の書き込み時には、ビット線BLの電位は、0Vに設定される。この時、選択メモリセルでは、浮遊ゲートに電子が注入され、閾値が正になる。

【0087】データ“0”の書き込み時には、ビット線BLは、電源電位VCCに設定される。この時、選択ゲートSG1の電位は、電源電位VCCであるため、ビット線側の選択ゲートSは、非導通状態になり、メモリセルのチャネルとn型拡散層は、フローティング状態となる。

【0088】チャネルの電位は、チャネルと制御ゲートの容量結合により上昇する。各制御ゲートに印加される書き込み電位未満の電位を約10Vとすると、容量結合の結合比が50%であれば、チャネルの電位は、約5Vとなる。しかし、メモリセルの閾値が高くなればなる程、データ“0”の書き込み時におけるメモリセルのチャネル電位は、低くなる。

【0089】これは、例えば、メモリセルの閾値が約1Vであると、制御ゲートの電位が約1Vになるまで、チャネルが形成されないためである。

【0090】つまり、メモリセルの閾値が約1Vの場合、制御ゲートの電位が約1Vのときにチャネルの電位が約0Vであるため、制御ゲートの電位が約10Vのとき、チャネルの電位は、約4.5Vとなる（結合比50%）。

【0091】これに対し、メモリセルの閾値が約-1Vの場合、制御ゲートの電位が約0Vであっても、チャネルの電位は、約1Vに充電できる。つまり、制御ゲートが約10Vになると、チャネル電位は、約6Vとなる。

【0092】本発明においては、データ“0”の書き込み時において、選択ブロック内の選択ワード線（例えば、WL2）に対してソース線側に隣接する非選択ワード線（例えば、WL3）の電位を、特に約0Vに設定し、選択ブロック内の残りの非選択ワード線（例えば、WL1、WL4）には、約10Vの電位を与える。

【0093】また、メモリセルユニット内におけるデータ“0”の書き込みの順序は、最初が最もソース線寄りのワード線WL4に繋がるメモリセルであり、ビット線

側のワード線に繋がるメモリセルに順次移り変わり、最後が最もビット線寄りのワード線WL1に繋がるメモリセルとなる。

【0094】つまり、メモリセルユニットにおいて、選択ワード線に繋がるメモリセルよりもビット線側に存在するメモリセルのデータは、全て消去されている、即ち、データ“0”が書き込まれている。言い換えれば、選択ワード線に繋がるメモリセルよりもビット線側に存在するメモリセルの閾値は、負の状態となっている。

【0095】一方、選択ワード線に繋がる選択メモリセルに対してソース線側に隣接するメモリセルの制御ゲートは、0Vであるため、この隣接するメモリセルのソースとドレインの電位がメモリセルの制御ゲートとチャネルの容量結合により上昇すると、その隣接するメモリセルは、非導通となる。

【0096】よって、選択メモリセルのチャネル電位は、選択メモリセルと、選択メモリセルよりもビット線側に存在する消去されているメモリセルが一体となって上昇する。このため、選択メモリセルのチャネル電位は、例えば、常に、約6V以上に確保される。つまり、浮遊ゲートには電子が注入されず、データ“0”の書き込みが行える。

【0097】例えば、選択ワード線がWL4の場合、非選択ワード線WL1～3の電位は、約10Vに設定される。選択ワード線がWL3の場合、非選択ワード線WL1、2の電位は、約10Vに設定され、非選択ワード線WL4の電位は、0Vに設定される。

【0098】但し、選択ワード線がWL3の場合、非選択ワード線WL4に繋がるメモリセルは、それよりソース線側にメモリセルが存在しないため、非選択ワード線WL4に繋がるメモリセルを非導通にできないこともある。しかし、非選択ワード線WL4に繋がるメモリセルよりビット線側のメモリセルの数が多いので問題ない。

【0099】なお、選択ワード線がWL3の場合、非選択ワード線WL4の電位を約10Vに設定してもよい。選択ワード線がWL1の場合、非選択ワード線WL3、4の電位は、約10V、非選択ワード線WL2の電位は、約0Vである。

【0100】ここで注意する点は、選択ワード線に対しビット線側に存在する非選択ワード線を0Vにしてはいけないことである。例えば、ワード線WL2を選択したとき、ワード線WL1を0Vにしてはいけない。ワード線WL1を0Vにすると、ワード線WL1に繋がるメモリセルが非導通になるからである。

【0101】また、データ“1”、“2”、“3”を書くときのビット線の電位は、0Vでなくてもよい。例えば、データ“1”を書くときビット線の電位を1.2Vにして、データ“2”、“3”を書くときのビット線の電位を0Vとしてもよい。

【0102】これは、データ“1”を記憶させるために

メモリセルMの浮遊ゲートに注入する電子量は、データ“2”、“3”を記憶させるためにメモリセルMの浮遊ゲートに注入する電子量よりも少なくてもよいのである。

【0103】また、データ“1”、“2”、“3”を書き込むときのビット線の電位は、それぞれ異なってもよい。例えば、データ“1”を書き込むときのビット線の電位は、約2.4V、データ“2”を書き込むときのビット線の電位は、約1.2V、データ“3”を書き込むときのビット線の電位は、0Vとしてもよい。

【0104】4値記憶方式の場合、例えば、データ“0”に対応するメモリセルの閾値を0V以下、データ“1”に対応するメモリセルの閾値を0.4V～0.8V、データ“2”に対応するメモリセルの閾値を1.6V～2.0V、データ“3”に対応するメモリセルの閾値を2.8V～3.2Vに設定する。

【0105】読み出し時は、選択ブロックの選択ワード線WL2の電位をVreadにする。選択ブロックの非選択ワード線WL1、WL3、WL4の電位は、例えば、約4Vに設定する。選択ブロックの選択ゲートSG1とSG2の電位も、例えば、約4Vに設定する。非選択ブロックの全ワード線および全選択ゲートSGの電位は、0Vである。ソース線SRCは、寄生抵抗を介して接地点に接続される。

【0106】なお、ソース線の電位が寄生抵抗によって上昇しなければ、

(1) 選択ワード線の電位Vreadが0Vのとき、選択メモリセルがデータ“1”、“2”又は“3”を記憶していれば、ビット線は、1Vにプリチャージされると共に、フローティング状態になった後も、1Vのままである。選択メモリセルがデータ“0”を記憶していれば、ビット線は、1Vにプリチャージされ、フローティング状態になった後に、0.5Vに下がる。

【0107】(2) 選択ワード線の電位Vreadが1.2Vのとき、選択メモリセルがデータ“2”又は“3”を記憶していれば、ビット線は、1Vにプリチャージされると共に、フローティング状態になった後も、1Vのままである。選択メモリセルがデータ“0”又は“1”を記憶していれば、ビット線は、1Vにプリチャージされ、フローティング状態になった後に、0.5Vに下がる。

【0108】(3) 選択ワード線の電位Vreadが2.4Vのとき、選択メモリセルがデータ“3”を記憶していれば、ビット線は、1Vにプリチャージされると共に、フローティング状態になった後も、1Vのままである。選択メモリセルがデータ“0”、“1”又は“2”を記憶していれば、ビット線は、1Vにプリチャージされ、フローティング状態になった後に、0.5Vに下がる。

【0109】以上、3種類の読み出し電位を用いて、メ

モリセルMに記憶されているデータが読み出される。

【0110】図5は、図2に示されるメモリセルアレイ1とデータ記憶回路10のより具体的な構成例を示している。ここでは、例として4値記憶フラッシュメモリの構成例を示す。

【0111】クロック同期式インバータCI1とCI2、及びnチャネルMOSトランジスタQn4、Qn5、Qn6で第1のサブデータ回路を構成する。また、クロック同期式インバータCI3とCI4、及びnチャネルMOSトランジスタQn10、Qn11、Qn12で第2のサブデータ回路を構成する。

【0112】第1及び第2のサブデータ回路は、それぞれ書き込み時に第1および第2のサブデータを記憶する。第1及び第2のサブデータ回路は、それぞれ読み出し時に第1および第2の読み出しサブデータを記憶する。

【0113】第1のサブデータ回路内のノードNaiが“H”レベルである状態は第1のサブデータ回路が“1”の第1の読み出しサブデータあるいは“1”の第1のサブデータを記憶している状態である。

【0114】また、第2のサブデータ回路内のノードNai+1が“H”レベルである状態は第2のサブデータ回路が“1”の第2の読み出しサブデータあるいは“1”の第2のサブデータを記憶している状態である。

【0115】第1のサブデータ回路内のノードNaiが“L”レベルの状態は、第1のサブデータ回路が“0”の第1の読み出しサブデータあるいは“0”の第1のサブデータを記憶している状態である。

【0116】第2のサブデータ回路内のノードNai+1が“L”レベルの状態は、第2のサブデータ回路が“0”の第2の読み出しサブデータあるいは“0”の第2のサブデータを記憶している状態である。

【0117】nチャネルMOSトランジスタQn1およびQn7は、信号PRSTが“H”となって第1および第2のサブデータ回路に“0”のサブデータを設定するためのものである。

【0118】nチャネルMOSトランジスタQn2およびQn8は第1および第2のサブデータ回路とそれぞれデータ入出力線IOL、IOUを電氣的に接続するためのものである。それぞれのゲート電極には、カラムデコーダ3からの出力CSLiおよびCSLi+1がそれぞれ与えられる。

【0119】例えば、CSLiが“H”になると、ビット線BLiとBLi+1に設けられたデータ記憶回路10の第1のサブデータ回路とデータ入出力線IOLが電氣的に接続される。データ入出力線IOL、IOUはデータ入出力バッファ4に接続されていて、この第1あるいは第2のサブデータ回路にサブデータを設定することができる。あるいは、この第1あるいは第2のサブデータ回路の読み出しサブデータをデータ入出力バッファ4に

出力することができる。

【0120】 n チャネルMOSトランジスタ Q_{n3} および Q_{n9} は、第1のサブデータ回路および第2のサブデータ回路のサブデータが全て“0”か否かを検出する。データ記憶回路10はこの例では2112個あるので、2112個の第1のサブデータと2112個の第2のサブデータが全て“0”であれば、共通信号線PTと接地線が非導通となって検出される。

【0121】キャパシタC1は、 n チャネルMOSトランジスタ Q_{n13} および Q_{n14} とともに、ビット線電位の変化を増幅するためのものである。後ほど詳しく述べるが、信号PRECが電源電位VCC（例えば3V）で、信号BIASが2Vとされ、ビット線を充電する。

【0122】 n チャネルMOSトランジスタの閾値を1Vとすると、ビット線は1V近くまで充電される。 n チャネルMOSトランジスタ Q_{n14} が非導通になるまでビット線の充電をすると時間がかかるので所定の時間経過後、信号PRECとBIASを0Vとする。

【0123】ビット線電位を検出する際は、信号BIASを例えば1.8Vとする。ビット線電位に変化が無かったら、 n チャネルMOSトランジスタ Q_{n14} が非導通となるように、この1.8Vという電位は設定されている。もしビット線電位に変化があって、0.8Vとなっていると、 n チャネルMOSトランジスタ Q_{n14} は導通する。

【0124】導通するとノードNsenseの電位が下がる。例えば、ビット線容量を5pFとすると、キャパシタC1をそれより小さい例えば0.5pFにしておくと、ビット線電位の変化はノードNsenseの変化に大きく影響を及ぼす。よって、感度よくビット線電位を増幅できる。

【0125】例えば、ビット線が1Vから0.7Vになると、ノードNsenseは2Vから約0.73Vとなる。ビット線が1Vから0.9Vに変化しても、Nsenseは2Vのままである。よって、ビット線の変化0.2Vに対して、Nsenseの変化は約1.27Vとなる。

【0126】 n チャネルMOSトランジスタ Q_{n15} および Q_{n17} は、第1および第2のサブデータ回路とビット線BL $_i$ あるいはBL $_{i+1}$ の電氣的接続を制御する。信号BLC1が“H”でBLC2が“L”であれば、第1および第2のサブデータ回路とビット線BL $_i$ が電氣的に接続される。

【0127】信号BLC1が“L”でBLC2が“H”であれば、第1および第2のサブデータ回路とビット線BL $_{i+1}$ が電氣的に接続される。 n チャネルMOSトランジスタ Q_{n16} および Q_{n18} は、ビット線BL $_i$ と電位VBL1の電氣的接続、ビット線BL $_{i+1}$ と電位VBL2の電氣的接続を制御する。

【0128】信号PRE1が“H”であれば、ビット線BL $_i$ と電位VBL1が電氣的に接続される。信号PR

E2が“H”であれば、ビット線BL $_{i+1}$ と電位VBL2が電氣的に接続される。

【0129】ビット線BL $_i$ あるいはBL $_{i+1}$ を介してメモリセルMのデータあるいは書き込み状態を示す信号が転送される。第1のサブデータ回路ではクロック同期式インバータCI1が、第2のサブデータ回路ではクロック同期式インバータCI3が、ビット線BLの信号の論理レベルをセンスするセンスアンプとしても働く。

【0130】この例では、クロック同期式インバータがビット線BLの電位の絶対値を論理レベルとしてセンスするが、差動型（ディファレンシャル）センスアンプなどを用いてもよく、その場合は、参照（リファランス）電位との差を論理レベルとして検出する。

【0131】クロック同期式インバータCIの具体的な構成は、図6に示されている。

【0132】 n チャネルMOSトランジスタ Q_{n19} と p チャネルMOSトランジスタ Q_{p2} で構成されるインバータ回路の入力端子がINで出力端子OUTである。このインバータ回路を信号CLOCKとその反転信号CLOCKBによって活性化したり非活性化するため n チャネルMOSトランジスタ Q_{n20} と p チャネルMOSトランジスタ Q_{p1} が設けられている。信号CLOCKが“H”、CLOCKBが“L”で活性化され、信号CLOCKが“L”、CLOCKBが“H”で非活性化される。

【0133】信号SEN1, LAT1, SEN2, LAT2, PRO1, PRO2, BLC1, BLC2, PRE1, PRE2, VRFY1, VRFY2, PRST, 電位VBL1, VBL2, VREG, BIAS, PREC, PTは、制御信号および制御電位発生回路7の出力信号で、図2にみられるデータ記憶回路10の全てに共通である。電位VCCは電源電位で例えば3Vである。

【0134】第1及び第2サブデータ回路は、“0”あるいは“1”のサブデータを記憶し、各々、ビット線信号の“H”レベルに応答して記憶されている“1”のサブデータを“0”のサブデータに変更し、“0”のサブデータを保持するよう構成されている。

【0135】この実施例の具体的な構成によらず、上記の機能を有する種々様々な回路を用いて同様に実施できる。この実施例のサブデータ回路では、信号PRO1あるいはPRO2が“H”となってビット線BLの電位レベルがクロック同期式インバータCI1あるいはCI3でセンスされる前に、第1あるいは第2のサブデータに応じて、ビット線BLの電位レベルが n チャネルMOSトランジスタ $Q_{n5,6}$ あるいは $Q_{n11,12}$ によって調整される。

【0136】第1あるいは第2のサブデータが“0”の場合のみ、ビット線BLの電位レベルは“H”にされる。信号PRO1あるいはPRO2が“H”となって、このときビット線の“H”レベルがクロック同期式イン

バータC I 1あるいはC I 3の入力端子に転送されると、ノードN a i あるいはN a i +1 が“L”レベルにされる。

【0137】さらに、クロック同期式インバータC I 2あるいはC I 4によって、“0”のサブデータが記憶される。よって、もともと記憶されている“0”のサブデータは変更されない。もともと記憶されているサブデータが“1”の場合は、ビット線B Lのレベルが“H”の時“0”のサブデータに変更され記憶され、ビット線B Lのレベルが“L”の時“1”のサブデータを保持する。

【0138】図7、8、9は、メモリセルに記憶されている4値データの読み出し動作を示している。

【0139】ここでは、ビット線B L 0、B L 2、…、B L i、…、B L 4 2 2 2が選択され（代表としてB L iを示す）、ワード線W L 2が選択されている場合であって、4値記憶方式の例である。

【0140】記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。またここでは、電位V B L 1とV B L 2は0 V、B L C 2は“L”、P R E 2は“H”、P R S Tは“L”、ビット線B L i +1は0 V、C S L iとC S L i +1は0 V、電位V R E Gは0 Vのままなので図7、8、9への表示を省略している。

【0141】まず、信号P R E 1が“L”、B L C 1が“H”となってビット線B L iが選択される。信号P R E CがV C Cと、信号B I A Sが2 Vとなってビット線B L iが1 Vに充電される（t 2）。nチャネルMOSトランジスタQ nの閾値は断らない限り1 Vとする。

【0142】信号B I A Sが0 Vとなってビット線B L iの充電は終了する（t 3）。ついで、信号P R E Cが0 Vとなって、ノードN s e n s eの充電が終了する（t 4）。選択されたブロックの選択ゲートS G 1とS G 2、および非選択ワード線W L 1、3、4が4 Vにされ、選択ワード線W L 2が2.4 Vにされる（t 4）。

【0143】表1は、メモリセルMに記憶されているデータと閾値との関係を示している。

【0144】

【表1】

メモリセルのデータ	メモリセルのしきい値
0	0 V以下
1	0.4 V～0.8 V
2	1.6 V～2.0 V
3	2.8 V～3.2 V

【0145】選択ワード線W L 2が2.4 Vになると、メモリセルが“3”データを記憶している場合のみビット線B L iは1 Vのままである。それ以外の場合はビット線B L iは0.7 V以下となる。一定期間（t 4～t 5）経った後、信号B I A Sを1.8 Vにする。メモリセルが“3”データを記憶している場合のみノードN s e

n s eは2 Vのままである。

【0146】それ以外の場合は、N s e n s eは0.8 V以下になる。再び信号B I A Sが0 Vとなってビット線B L iとN s e n s eが切り放された後、信号S E N 2とL A T 2が“L”になってクロック同期式インバータC I 3とC I 4は非活性化される（t 6）。

【0147】信号P R O 2が“H”になって（t 7）、信号S E N 2が“H”になる（t 8）とクロック同期式インバータC I 3が活性化され、ノードN s e n s eの電位がセンスされる。信号L A T 2が“H”になる（t 9）とクロック同期式インバータC I 4が活性化され、センスされた信号の論理レベルがラッチされる。

【0148】選択ゲートS G 1、S G 2、ワード線W L 1～W L 4は時間t 5で0 Vにリセットされる。信号B L C 1が時間t 6で“L”、信号P R E 1が時間t 7で“H”となって、ビット線B L iは時間t 7で0 Vにリセットされる。

【0149】信号P R O 2が“L”となって（t 10）メモリセルMの閾値が2.4 V以上かどうかを検出する動作が終わる。メモリセルが“3”データを記憶している場合のみ、第2のサブデータ回路の第2の読み出しサブデータは“0”となる。それ以外の場合は、第2の読み出しサブデータは“1”である。

【0150】続いて、メモリセルMの閾値が0.0 V以上かどうかを検出する動作に入る。まず、信号P R E 1が“L”、B L C 1が“H”となってビット線B L iが選択される。

【0151】信号P R E CがV C Cと、信号B I A Sが2 Vとなってビット線B L iが1 Vに充電される（t 13）。信号B I A Sが0 Vとなってビット線B L iの充電は終了する（t 14）。

【0152】ついで、信号P R E Cが0 Vとなって、ノードN s e n s eの充電が終了する（t 15）。選択されたブロックの選択ゲートS G 1とS G 2、および非選択ワード線W L 1、3、4が4 Vにされ、選択ワード線W L 2は0.0 Vのままにされる（t 15）。

【0153】選択ワード線W L 2が0.0 Vであると、メモリセルが“1”、“2”あるいは“3”データを記憶している場合はビット線B L iは1 Vのままである。メモリセルが“0”データを記憶している場合はビット線B L iは0.7 V以下となる。

【0154】一定期間（t 15～t 16）経った後、信号B I A Sを1.8 Vにする。メモリセルが“1”、“2”あるいは“3”データを記憶している場合、ノードN s e n s eは2 Vのままである。メモリセルが“0”データを記憶している場合は、N s e n s eは0.8 V以下になる。

【0155】再び、信号B I A Sが0 Vとなってビット線B L iとN s e n s eが切り放された後、信号S E N 1とL A T 1が“L”になってクロック同期式インバータC

I1とCI2は非活性化される(t17)。

【0156】同時に、信号VRFY2がVCCとなつて、第2のサブデータ回路の第2の読み出しサブデータが“0”の場合のみ、ノードNsenseは0Vにされる(t17)。信号PRO1が“H”になって(t18)、信号SEN1が“H”になる(t19)とクロック同期式インバータCI1が活性化され、ノードNsenseの電位がセンスされる。信号LAT1が“H”になる(t20)とクロック同期式インバータCI2が活性化され、センスされた信号の論理レベルがラッチされる。

【0157】選択ゲートSG1, SG2, ワード線WL1~WL4は時間t16で0Vにリセットされる。信号BLC1が時間t17で“L”、信号PRE1が時間t18で“H”となつて、ビット線BLiは時間t18で0Vにリセットされる。

【0158】信号PRO1が“L”となつて(t21)メモリセルMの閾値が1.0V以上かどうかを検出する動作が終わる。メモリセルが“0”あるいは“3”データを記憶している場合のみ、第1のサブデータ回路の第1の読み出しサブデータは“1”となる。それ以外の場合は、第1の読み出しサブデータは“0”である。

【0159】続いて、メモリセルMの閾値が1.2V以上かどうかを検出する動作に入る。まず、信号PRE1が“L”、BLC1が“H”となつてビット線BLiが選択される。

【0160】信号PRECがVCCと、信号BIASが2Vとなつてビット線BLiが1Vに充電される(t24)。信号BIASが0Vとなつてビット線BLiの充電は終了する(t25)。

【0161】ついで、信号PRECが0Vとなつて、ノードNsenseの充電が終了する(t26)。選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1, 3, 4が4Vにされ、選択ワード線WL2が1.2Vにされる(t26)。

【0162】選択ワード線WL2が1.2Vになると、メモリセルが“2”あるいは“3”データを記憶している場合はビット線BLiは1Vのままである。メモリセルが“0”あるいは“1”データを記憶している場合はビット線BLiは0.7V以下となる。

【0163】一定期間(t26~t27)経過後、信号BIASを1.8Vにする。メモリセルが“2”あるいは“3”データを記憶している場合、ノードNsenseは2Vのままである。メモリセルが“0”あるいは“1”データを記憶している場合は、Nsenseは0.8V以下になる。

【0164】再び、信号BIASが0Vとなつてビット線BLiとNsenseが切り放された後、信号SEN2とLAT2が“L”になつてクロック同期式インバータCI3とCI4は非活性化される(t28)。

【0165】信号PRO2が“H”になつて(t29)、信号SEN2が“H”になる(t30)とクロック同期式インバータCI3が活性化され、ノードNsenseの電位がセンスされる。信号LAT2が“H”になる(t31)とクロック同期式インバータCI4が活性化され、センスされた信号の論理レベルがラッチされる。

【0166】選択ゲートSG1, SG2, ワード線WL1~WL4は時間t27で0Vにリセットされる。信号BLC1が時間t28で“L”、信号PRE1が時間t29で“H”となつて、ビット線BLiは時間t29で0Vにリセットされる。

【0167】信号PRO2が“L”となつて(t32)メモリセルMの閾値が1.2V以上かどうかを検出する動作が終わる。メモリセルが“0”あるいは“1”データを記憶している場合のみ、第2のサブデータ回路の第2の読み出しサブデータは“1”となる。それ以外の場合は、第2の読み出しサブデータは“0”である。

【0168】以上、図7~9に示した順序で、データ記憶回路10へメモリセルMのデータが読み出しデータとして記憶される動作が終わる。

【0169】この後、信号CSLi, CSLi+1が“H”になると、第1の読み出しサブデータは、データ入出力線IOLに、第2の読み出しサブデータは、データ入出力線IOUに出力されてデータ出力バッファ4を介してデータ入出力端子5から、外部へ出力される。

【0170】表2は、メモリセルの4値データと第1および第2の読み出しサブデータの関係を示している。

【0171】

【表2】

メモリセルのデータ	第1の読み出しサブデータ	第2の読み出しサブデータ
0	1	1
1	0	1
2	0	0
3	1	0

【0172】図10は、書き込み動作を示している。ここでは、ビット線BL0, BL2, ..., BLi, ..., BL4222が選択され(代表としてBLiを示す)、ワード線WL2が選択されている場合を示す。ここでは、4値記憶の例である。記憶レベルを3レベルに限定すれ

ば容易に3値記憶が実施できる。

【0173】書き込みに先だって、データ記憶回路10への制御データの初期設定が行われる。ビット線BLiに備えられたデータ記憶回路10への制御データの初期設定は次のように行われる。

【0174】第1のサブデータ回路の初期サブデータがデータ入出力線IOLに第2のサブデータ回路の初期サブデータがデータ入出力線IOUに転送され、信号CSLiとCSLi+1が“H”になって、第1および第2のサブデータ回路に初期サブデータが記憶される。

【0175】信号CSLの選択を変えて、任意の数のデ

ータ記憶回路10に初期制御データは設定される。このとき、初期制御データと初期サブデータの関係は、以下の表3に示される。

【0176】

【表3】

初期制御データ	第1のサブデータ回路の初期サブデータ	第2のサブデータ回路の初期サブデータ
0	0	0
1	1	0
2	1	1
3	0	1

【0177】ここで、全ての初期制御データ設定以前に、信号PRSTを“H”にして全てのデータ記憶回路10の制御データを“0”にプリセットしておくことが望ましい。後ほど説明するように制御データ“0”によってメモリセルMの状態は変化させられないので、2112個のデータ記憶回路10の内、所望のデータ記憶回路10のみに外部から初期制御データを設定すればよい。

【0178】もちろん、2112個全部のデータ記憶回路10に初期制御データを外部から設定してもよい。信号SEN1は“H”、LAT1は“H”、VRFY1は“L”、SEN2は“H”、LAT2は“H”、VRFY2は“L”、電位VREGは0V、PRECは0Vのままなので図10への表示は省略してある。

【0179】書き込み動作では、まず、信号PRE1が“L”となってビット線BLiと電位VBL1が切り離される(t2)。同時に信号BLC1が6Vとなってビット線BLiは選択される(t2)。

【0180】また、信号BIASとPRE2も6Vとなる(t2)。電位VBL2がVCC(ここでは3V)となって、nチャネルMOSトランジスタQn18を介して、非選択ビット線BLi+1をVCCに充電する(t3～t4)。

【0181】また、信号PRO1が3Vとなって、第1のサブデータに従って選択ビット線BLiは充電される(t3～t4)。このときビット線BLiは、制御データが“0”または“3”の場合VCCに充電され、制御データが“1”または“2”の場合0Vにされる。

【0182】また、選択ゲートSG1とワード線WL4が6Vにされる(t3～t4)、選択ゲートSG1はビット線の電位VCCを転送したらVCCにされる(t4)。ワード線WL3は0Vのままである。ワード線WL1と2はVCCにされる。選択ゲートSG2は0Vのままである。

【0183】この後、信号PRO2が2.2Vとなって、第2のサブデータに従って選択ビット線BLiの電位は変更される(t5)。第2のサブデータが“0”の場合、予め0Vであったビット線BLiは2.2Vより

nチャネルMOSトランジスタQn10のしきい値(1V)分低い1.2Vに充電される。

【0184】第2のサブデータが“0”の場合、予めVCCであったビット線BLiはnチャネルMOSトランジスタQn10が非導通なのでVCCのままである。第2のサブデータが“1”の場合、nチャネルMOSトランジスタQn10が導通なのでビット線BLiは0Vである。

【0185】この結果、ビット線BLiは、制御データが“0”の場合にVCCに、制御データが“1”場合1.2Vに、制御データが“2”の場合0Vに、制御データが“3”の場合0Vになる。

【0186】選択ワード線WL2が1.6V、非選択ワード線のうちWL1と4が10Vにされてメモリセルの浮遊ゲートへの電子注入が制御データに応じて始まる(t6～t7)。

【0187】ビット線BLが0Vの場合、メモリセルのチャネルとワード線間の電位差が1.6Vで電子注入が起こる。ビット線BLが1.2Vの場合、メモリセルのチャネルとワード線間の電位差が1.4.8Vで電子注入が起こるが、メモリセルのチャネルとワード線間の電位差が1.6Vの場合より少ない。

【0188】ビット線BLがVCCの場合、ワード線WL1が10V、WL2が1.6Vになることによって選択メモリセルのチャネルがVCC以上(例えば6V)に上昇し、メモリセルのチャネルとワード線間の電位差が小さいため電子注入が実質的に起こらない。

【0189】信号PRO2が0Vにリセットされた後(t7)、ワード線WL1～4が0V、電位VBL2が0V、信号PRE1が“H”、信号PRE2が“H”、信号BLC1が“L”、信号BIASが“L”にリセットされて(t8)、書き込み動作が終了する。

【0190】図11に示すように、時間t3～t6の間の選択ワード線WL2の電位はVCCでなく、非選択ワード線WL4と同じ6Vにしてもよい。選択メモリセルのしきい値が高くても、チャネルが形成されるからである。また、選択メモリセルより共通ソース側のメモリセルにビット線電位を確実に転送できるからである。

【0191】図12は、図10に示した書き込み動作の変形例である。ここでは、選択されたワード線WL2より共通ソース側の隣接していないワード線WL4が10Vにされるタイミングがt5にされている。これは、選択メモリセルの隣接する共通ソース側に位置するメモリセルを確実に非導通にするためである。

【0192】図13は、図11に示した書き込み動作の変形例である。ここでは、選択されたワード線WL2より共通ソース側の隣接していないワード線WL4が10Vにされるタイミングがt5にされている。これは、図12の場合と同様に、選択メモリセルの隣接する共通ソース側に位置するメモリセルを確実に非導通にするためである。

【0193】図14、15、16は、図10、11、12あるいは13に示される書き込み動作後の、メモリセルの書き込み状態を検出する書き込みベリファイ動作を示している。

【0194】ここでは、ビット線BL0、BL2、…、BLi、…、BL4222が選択され（代表としてBLiを示す）、ワード線WL2が選択されている場合を示す。ここでは、4値記憶の例である。記憶レベルを3レベルに限定すれば容易に3値記憶が実施できる。

【0195】また、電位VBL1、VBL2は0V、信号BLC2は“L”、PRE2は“H”のままで、ビット線BLi+1が0Vのままなので図14～16への表示を省略している。また、信号PRSTが“L”、CSLiが“L”、CSLi+1が“L”のままなので、図14～16への表示を省略している。

【0196】まず、信号PRE1が“L”、BLC1が“H”となってビット線BLiが選択される。信号PRECがVCCと、信号BIASが2Vとなってビット線BLiが1Vに充電される（t2）。信号BIASが0Vとなってビット線BLiの充電は終了する（t3）。

【0197】ついで、信号PRECが0Vとなって、ノードNsenseの充電が終了する（t4）。選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1、3、4が4Vにされ、選択ワード線WL2が2.8Vにされる（t4）。

【0198】選択ワード線WL2が2.8Vになると、“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していればビット線BLiは1Vのままである。

【0199】“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していなければビット線BLiは0.7V以下になる。

【0200】“2”あるいは“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルは“3”データを記憶している状態に達しないのでビット線BLiは0.7V以下になる。

【0201】一定期間（t4～t5）経った後、信号BIASを1.8Vにする。“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していれば、ノードNsenseは2Vのままである。メモリセルが“3”データを記憶している状態でなければ、Nsenseは0.8V以下になる。

【0202】再び、信号BIASが0Vとなってビット線BLiとNsenseが切り放された後、信号VRFY2がVCCとなる（t6）。第2のサブデータ回路の第2のサブデータが“0”の場合のみ、nチャネルMOSトランジスタQn11とQn12によってNsenseは2Vとなる。このとき電位VREGはVCCである（t5～t8）。

【0203】信号SEN2とLAT2が“L”になってクロック同期式インバータCI3とCI4は非活性化される（t8）。信号PRO2が“H”になって（t9）。信号SEN2が“H”になる（t10）とクロック同期式インバータCI3が活性化され、ノードNsenseの電位がセンスされる。

【0204】信号LAT2が“H”になる（t11）とクロック同期式インバータCI4が活性化され、センスされた信号の論理レベルがラッチされる。

【0205】選択ゲートSG1、SG2、ワード線WL1～WL4は時間t5で0Vにリセットされる。信号BLC1が時間t6で“L”、信号PRE1が時間t7で“H”となって、ビット線BLiは時間t7で0Vにリセットされる。

【0206】信号PRO2が“L”となって（t12），“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達しているか否かの検出（データ“3”のベリファイ読み出し）が終了する。

【0207】この時点で、“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合のみ、“3”の制御データを記憶しているデータ記憶回路の制御データは“0”データに変更され、そのほかの場合は、制御データは保持される（変更されない）。

【0208】続いて、“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達しているか否かを検出する動作に入る。

【0209】まず、信号PRE1が“L”、BLC1が“H”となってビット線BLiが選択される。信号PRECがVCCと、信号BIASが2Vとなってビット線BLiが1Vに充電される（t15）。信号BIASが0Vとなってビット線BLiの充電は終了する（t16）。

【0210】ついで、信号PRECが0Vとなって、ノ

ードNsense の充電が終了する (t 17)。選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1, 3, 4が4Vにされ、選択ワード線WL2が1.6Vにされる (t 17)。

【0211】選択ワード線WL2が1.6Vになると、“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していればビット線BLiは1Vのままである。

“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していなければビット線BLiは0.7V以下になる。

【0212】“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルは“2”データを記憶している状態に達しないのでビット線BLiは0.7V以下になる。一定期間 (t 7~t 18) 経った後、信号BIASを1.8Vにする。“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していれば、ノードNsenseは2Vのままである。

【0213】“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していなければノードNsenseは0.8V以下になる。“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルは“2”データを記憶している状態に達しないのでノードNsenseは0.8V以下になる。

【0214】再び、信号BIASが0Vとなってビット線BLiとNsenseが切り放された後、信号VRFY1がVCCとなる (t 19)。このとき電位VREGは0Vなので、第1のサブデータが“0”のとき、nチャネルMOSトランジスタQn5, Qn6によってノードNsenseは0Vにされる。

【0215】この後、信号VRFY2がVCCとなる (t 21)。第2のサブデータ回路の第2のサブデータが“0”の場合のみ、nチャネルMOSトランジスタQn11とQn12によってNsenseは2Vとなる。このとき電位VREGはVCCである (t 21~t 23)。

【0216】信号SEN2とLAT2が“L”になってクロック同期式インバータCI3とCI4は非活性化される (t 23)。信号PRO2が“H”になって (t 24)。信号SEN2が“H”になる (t 25)とクロック同期式インバータCI3が活性化され、ノードNsenseの電位がセンスされる。信号LAT2が“H”になる (t 26)とクロック同期式インバータCI4が活性化され、センスされた信号の論理レベルがラッチされる。

【0217】選択ゲートSG1, SG2, ワード線WL1~WL4は時間t 18で0Vにリセットされる。信号BLC1が時間t 19で“L”、信号PRE1が時間t 20で“H”となって、ビット線BLiは時間t 20で

0Vにリセットされる。

【0218】信号PRO2が“L”となって (t 27)、“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達しているか否かの検出 (データ“2”のベリファイ読み出し) が終了する。この時点で、“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合、データ記憶回路10の制御データは“0”データに変更されている。

【0219】“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していると検出された場合のみ、データ記憶回路10の制御データは“1”データに変更されている。その他の場合は、制御データは保持される (変更されない)。

【0220】つづいて“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達しているか否かを検出する動作に入る。

【0221】まず、信号PRE1が“L”、BLC1が“H”となってビット線BLiが選択される。信号PRECがVCCと、信号BIASが2Vとなってビット線BLiが1Vに充電される (t 30)。信号BIASが0Vとなってビット線BLiの充電は終了する (t 31)。

【0222】ついで、信号PRECが0Vとなって、ノードNsenseの充電が終了する (t 32)。選択されたブロックの選択ゲートSG1とSG2、および非選択ワード線WL1, 3, 4が4Vにされ、選択ワード線WL2が0.4Vにされる (t 32)。

【0223】選択ワード線WL2が0.4Vになると、“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達していればビット線BLiは1Vのままである。

“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達していなければビット線BLiは0.7V以下になる。

【0224】一定期間 (t 7~t 18) 経った後、信号BIASを1.8Vにする。“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達していればノードNsenseは2Vのままである。

【0225】“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達していなければノードNsenseは0.8V以下になる。再び信号BIASが0Vとなってビット線BLiとNsenseが切り放された後、信号PRO2が1.3Vとなる (t 34)。

【0226】このとき、第2のサブデータが“1”の場合、 n チャネルMOSトランジスタ Q_{n10} によってノード N_{sense} は0Vにされる。このとき、第2のサブデータが“0”の場合、 n チャネルMOSトランジスタ Q_{n10} によってノード N_{sense} は高々0.3Vにされるのみである。

【0227】もともと、 N_{sense} が0.3V以上の場合、 Q_{n10} が非導通なので、 N_{sense} の電位は変化しない。この後、信号 $VRFY1$ がVCCとなる(t36)。第1のサブデータ回路の第1のサブデータが“0”の場合のみ、 n チャネルMOSトランジスタ Q_{n5} と Q_{n6} によって N_{sense} は2Vとなる。このとき電位 V_{REG} はVCCである(t36~t38)。

【0228】信号 $SEN1$ と $LAT1$ が“L”になってクロック同期式インバータ $CI1$ と $CI2$ は非活性化される(t38)。信号 $PRO1$ が“H”になって(t39)、信号 $SEN1$ が“H”になる(t40)とクロック同期式インバータ $CI1$ が活性化され、ノード N_{sense} の電位がセンスされる。

【0229】信号 $LAT1$ が“H”になる(t41)とクロック同期式インバータ $CI2$ が活性化され、センスされた信号の論理レベルがラッチされる。

【0230】選択ゲート $SG1$ 、 $SG2$ 、ワード線 $WL1$ ~ $WL4$ は時間t33で0Vにリセットされる。信号 $BLC1$ が時間t34で“L”、信号 $PRE1$ が時間t

35で“H”となって、ビット線 BLi は時間t35で0Vにリセットされる。

【0231】信号 $PRO1$ が“L”となって(t42)、“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達しているか否かを検出する動作(データ“1”のベリファイ読み出し)は終わる。

【0232】この時点で、“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合と、“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していると検出された場合と、“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“1”データを記憶している状態に達していると検出された場合のみ、データ記憶回路の制御データは“0”データに変更され、そのほかの場合は、制御データは保持される(変更されない)。

【0233】図14、15、16に示された順序で書き込みベリファイ動作は行われる。

【0234】書き込みベリファイ動作で、メモリセルの書き込み状態からデータ記憶回路10に記憶されている制御データが表4のように変更される。

【0235】

【表4】

メモリセル書き込み状態	書き込みベリファイ前の制御データ	書き込みベリファイ後の制御データ
0、1、2または3	0	0
1未達	1	1
1	1	0
2未達	2	2
2	2	0
3未達	3	3
3	3	0

【0236】図10、11、12あるいは13に示される書き込み動作と、図14~16に示される書き込みベリファイ動作を、全ての制御データが“0”になるまで繰り返し、メモリセルMへのデータ書き込み(プログラム)は行われる。全ての制御データが“0”になったか否かは、信号 PT が接地レベルと導通しているか否かを検出すればわかる。

【0237】即ち、本発明における半導体記憶装置は、メモリセルMと、メモリセルMに接続されるビット線 BL と、ゲート電極、ソース電極およびドレイン電極を有し、ソース電極においてビット線に接続されるMISトランジスタ Q_{n14} と、ドレイン電極に接続されるスイッチ素子 Q_{n13} と、を備え、ビット線 BL は、スイッチ素子 Q_{n13} が導通し、ゲート電極に第1電位が印加されて充電され、その後、ゲート電極は、第1電位とは異なる第2電位にされてメモリセルMのデータに従って変動するビット線 BL の電位を増幅する。

【0238】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

【0239】スイッチ素子 Q_{n13} は、MISトランジスタ Q_{n14} のゲート電極に第2電位が印加されている間、非導通にされる。MISトランジスタ Q_{n14} は、 n チャネルMISトランジスタであって、第1電位は、第2の電位より高い。ビット線 BL の静電容量は、ドレイン電極に繋がる静電容量より大きい。

【0240】また、本発明における半導体記憶装置は、MISトランジスタ構造を有する第1および第2選択トランジスタSの間に所定個のMISトランジスタ構造を有するメモリセルMが直列に接続されたNAND型メモリセルユニットにおいて、選択メモリセルMのゲート電極には第1電位を印加し、第2選択トランジスタ側で選択メモリセルに隣接するメモリセルMのゲート電極には第2電位を印加し、残りのメモリセルMのゲート電極には第3の電位を印加して、書き込みを行い、ここでの第

1 電位は、第 3 電位よりも高く、第 3 電位は、第 2 電位よりも高く設定されている。

【0241】さらに、本発明の望ましい実施様態としては、次のものがあげられる。

【0242】第 1 選択トランジスタ S は、ビット線 BL に接続され、第 2 選択トランジスタ S は、ソース線 SRC に接続される。書き込みは、第 2 選択トランジスタ S に隣接するメモリセル側から第 1 選択トランジスタ S に隣接するメモリセル側へ順次行われる。

【0243】残りのメモリセル M のうち、選択メモリセル M より第 2 選択トランジスタ S 側のメモリセル M のゲート電極に第 4 の電位を印加し、残りのメモリセル M のうち、選択メモリセル M より第 1 選択トランジスタ S 側のメモリセル M のゲート電極に第 5 電位を印加して、メモリセル M のチャンネルを事前に充電してから書き込みを行う。

【0244】残りのメモリセル M のうち、選択メモリセル M より第 2 選択トランジスタ S 側のメモリセル M のゲート電極に第 4 の電位を印加し、残りのメモリセル M のうち、選択メモリセル M より第 1 選択トランジスタ S 側のメモリセル M のゲート電極に第 5 の電位を印加し、選択メモリセル M のゲート電極に第 4 電位を印加して、メモリセル M のチャンネルを事前に充電してから書き込みを行う。

【0245】残りのメモリセル M のうち、選択メモリセル M より第 2 選択トランジスタ S 側のメモリセル M のゲート電極に第 4 電位を印加し、残りのメモリセル M のうち、選択メモリセル M より第 1 選択トランジスタ S 側のメモリセル M のゲート電極に第 5 電位を印加し、選択メモリセル M のゲート電極に第 5 電位を印加して、メモリセル M のチャンネルを事前に充電してから書き込みを行う。

【0246】メモリセル M は、n チャンネル型 MIS トランジスタ構造を有する。第 4 及び第 5 電位は、第 3 電位より低く、第 4 電位は、第 5 電位より高い。

【0247】残りのメモリセル M のうち、選択メモリセル M より第 2 選択トランジスタ S 側のメモリセル M のゲート電極に第 3 電位が印加されてから、残りのメモリセル M のうち、選択メモリセル M より第 1 選択トランジスタ S 側のメモリセル M のゲート電極に第 3 電位を印加する。

【0248】残りのメモリセル M のうち、選択メモリセル M より第 2 選択トランジスタ S 側のメモリセル M のゲート電極に第 3 電位が印加されてから、残りのメモリセル M のうち、選択メモリセル M より第 1 選択トランジスタ S 側のメモリセル M のゲート電極に第 3 電位を印加し、選択メモリセル M のゲート電極に第 1 電位を印加する。

【0249】以上のようにして本発明に係わる半導体記憶装置は、データが書き込まれたメモリセルのしきい値に依存せず“0”データ書き込み時のメモリセルのチャ

ネル電位を発生する。これによって、“0”データ書き込み時のメモリセルのチャンネル電位を十分に安定して発生できる半導体記憶装置を実現することができる。

【0250】また、本発明に係わる半導体記憶装置は、MOS トランジスタでビット線を充電した後、その MOS トランジスタのゲート電位を変化させる。これによってビット線を充電した後に、MOS トランジスタを短時間で非導通にすることができる。よって、高速に精度よくメモリセルの書き込み状態を検出できる半導体記憶装置を実現することができる。

【0251】なお、本発明は上述した実施形態に限定されるものではない。その他、本発明の要旨を逸脱しない範囲で、種々変型して実施することができる。

【0252】

【発明の効果】本発明に係わる半導体記憶装置は、データが書き込まれたメモリセルのしきい値に依存せず

“0”データ書き込み時のメモリセルのチャンネル電位を発生する。これによって、“0”データ書き込み時のメモリセルのチャンネル電位を十分に安定して発生できる半導体記憶装置を実現することができる。

【0253】また、本発明に係わる半導体記憶装置は、MOS トランジスタでビット線を充電した後、その MOS トランジスタのゲート電位を変化させる。これによってビット線を充電した後に、MOS トランジスタを短時間で非導通にすることができる。よって、高速に精度よくメモリセルの書き込み状態を検出できる半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態に関わる半導体記憶装置を示す図。

【図 2】図 1 のメモリセルアレイとデータ記憶回路の構成を示す図。

【図 3】図 2 のメモリセルと選択トランジスタの構造を示す図。

【図 4】メモリセルユニットの構成を示す図。

【図 5】本発明の実施の形態に関わるデータ記憶回路の具体的な構成例を示す図。

【図 6】クロック同期式インバータの具体的な構成を示す図。

【図 7】本発明の実施の形態の半導体記憶装置の読み出し動作を示す図。

【図 8】本発明の実施の形態の半導体記憶装置の読み出し動作を示す図。

【図 9】本発明の実施の形態の半導体記憶装置の読み出し動作を示す図。

【図 10】本発明の実施の形態の半導体記憶装置の第 1 の書き込み動作を示す図。

【図 11】本発明の実施の形態の半導体記憶装置の第 2 の書き込み動作を示す図。

【図 12】本発明の実施の形態の半導体記憶装置の第 3

の書き込み動作を示す図。

【図 1 3】本発明の実施の形態の半導体記憶装置の第 4 の書き込み動作を示す図。

【図 1 4】本発明の実施の形態の半導体記憶装置の書き込みベリファイ動作を示す図。

【図 1 5】本発明の実施の形態の半導体記憶装置の書き込みベリファイ動作を示す図。

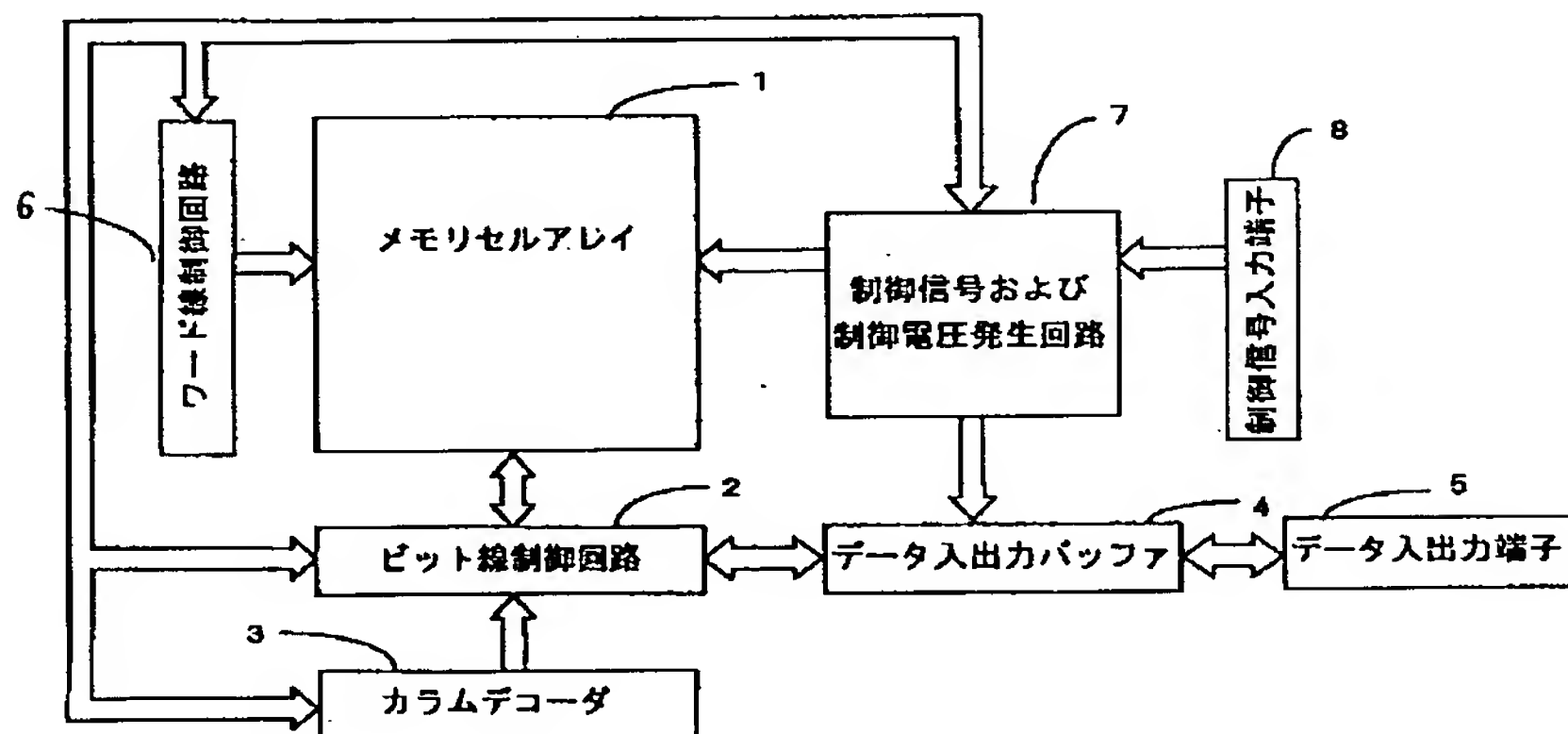
【図 1 6】本発明の実施の形態の半導体記憶装置の書き込みベリファイ動作を示す図。

【符号の説明】

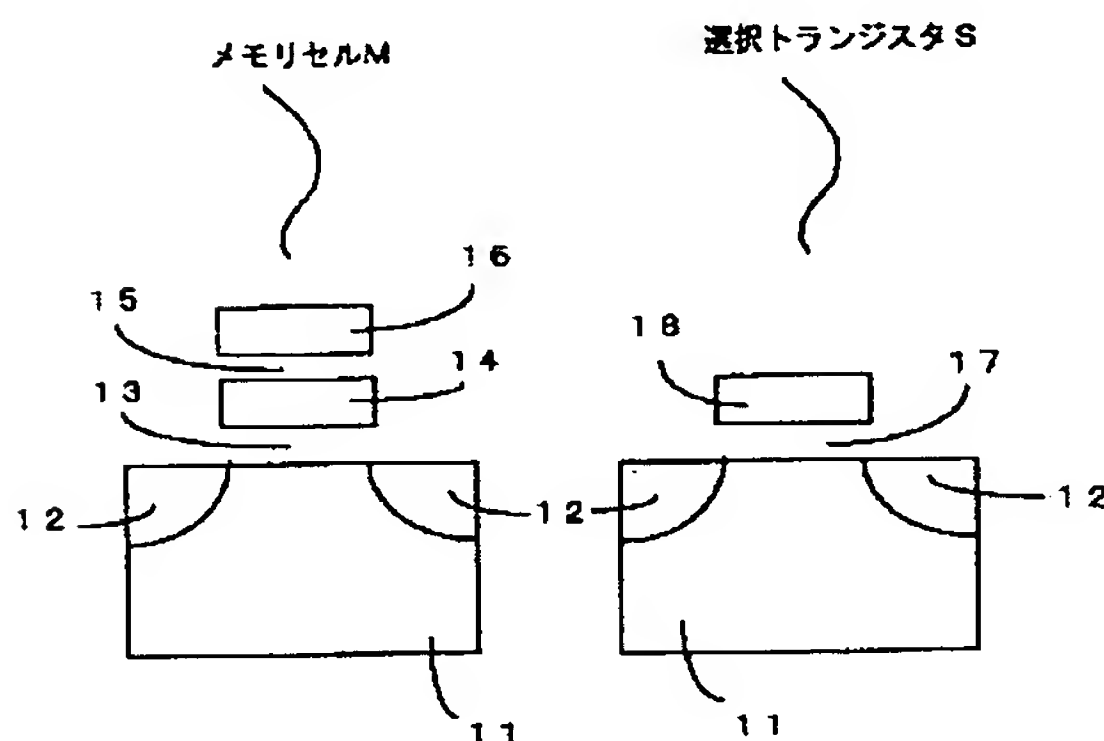
1 : メモリセルアレイ、
2 : ビット線制御回路、
3 : カラムデコーダ、
4 : データ入出力バッファ、
5 : データ入出力端子、
6 : ワード線制御回路、
7 : 制御信号および制御電位発生回路、
8 : 制御信号入出力端子、
1 0 : データ記憶回路、

1 1 : p 型半導体基板、
1 2 : n 型の拡散層、
1 3, 1 7 : ゲート絶縁膜、
1 4 : 浮遊ゲート、
1 5 : 絶縁膜、
1 6 : 制御ゲート、
1 8 : 選択ゲート、
M : メモリセル、
S : 選択トランジスタ、
WL : ワード線、
BL : ビット線、
SG : 選択ゲート、
SRC : ソース線、
Q n : n チャネル MOS トランジスタ、
Q p : p チャネル MOS トランジスタ、
V C C : 電源電位、
C I : クロック同期式インバータ。

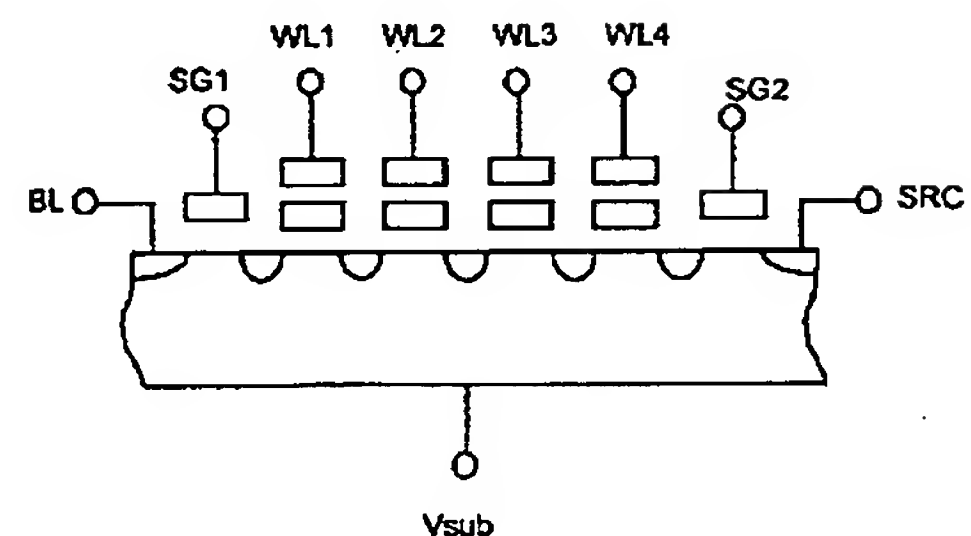
【図 1】



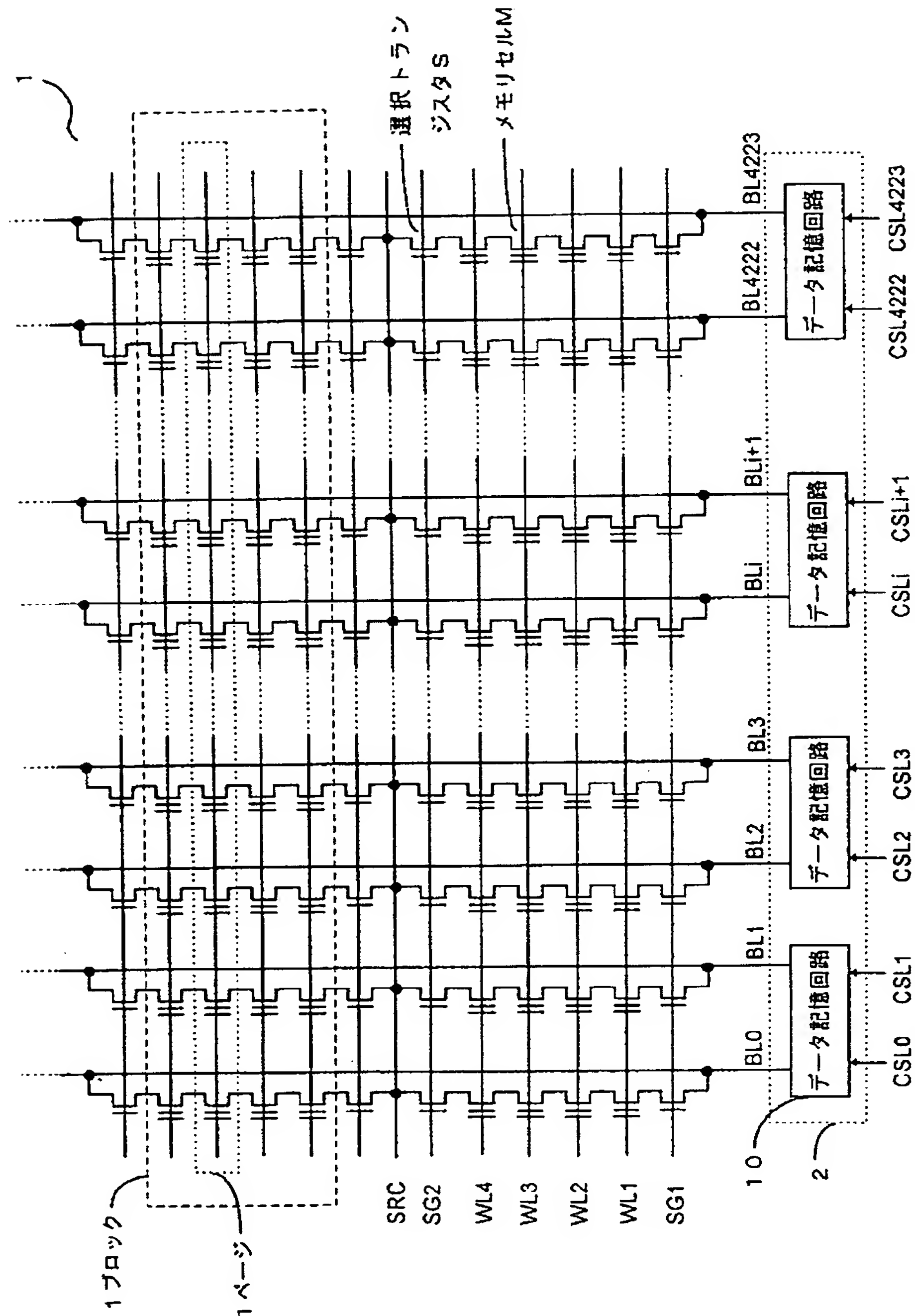
【図 3】



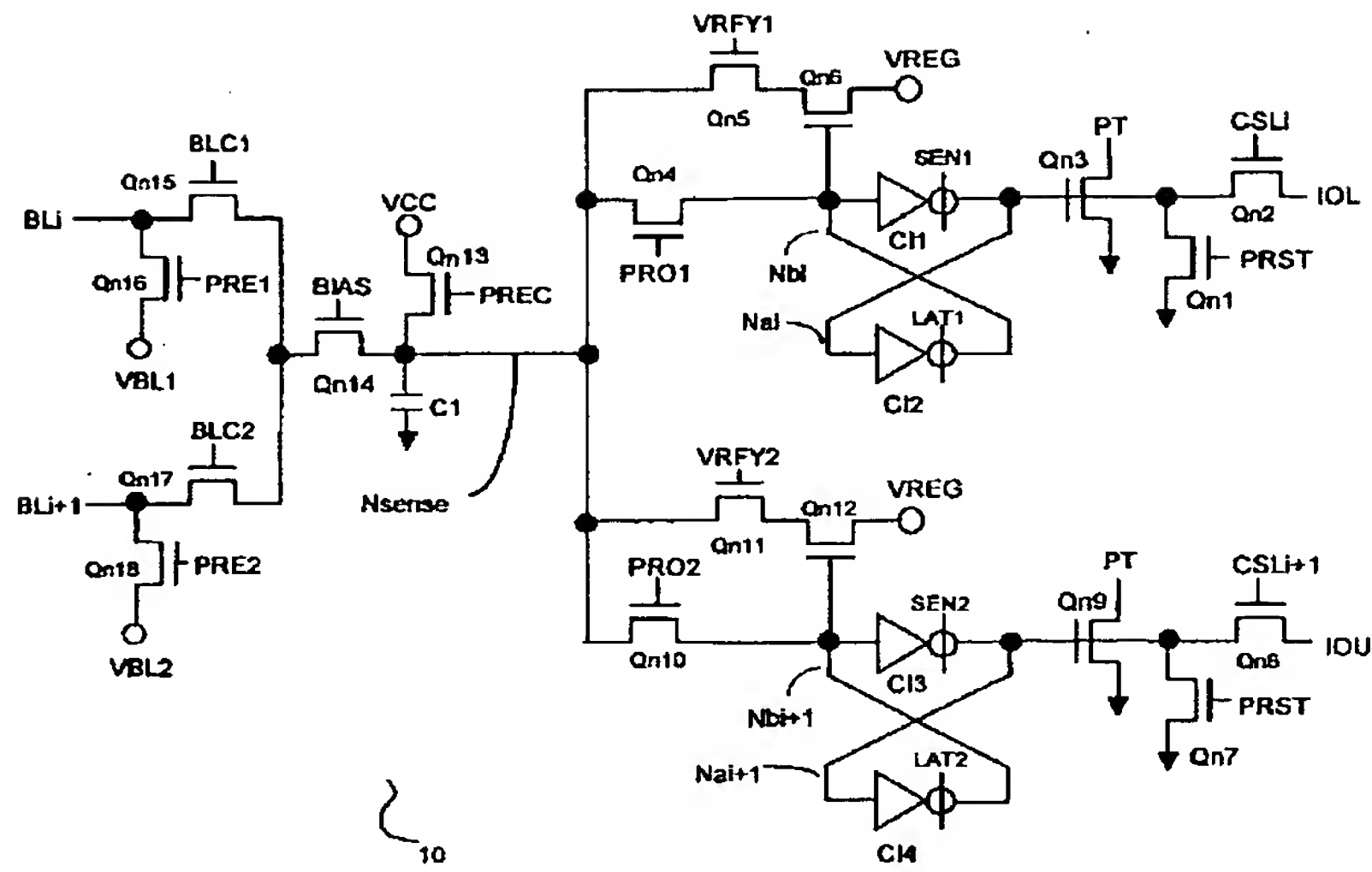
【図 4】



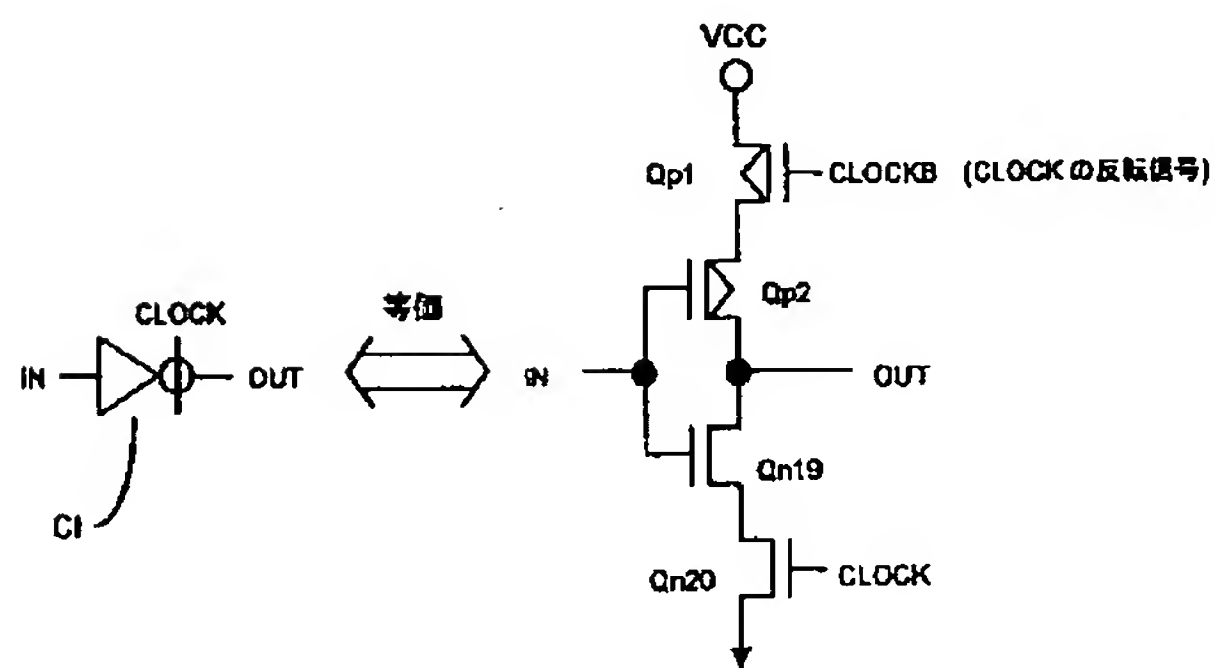
【図2】



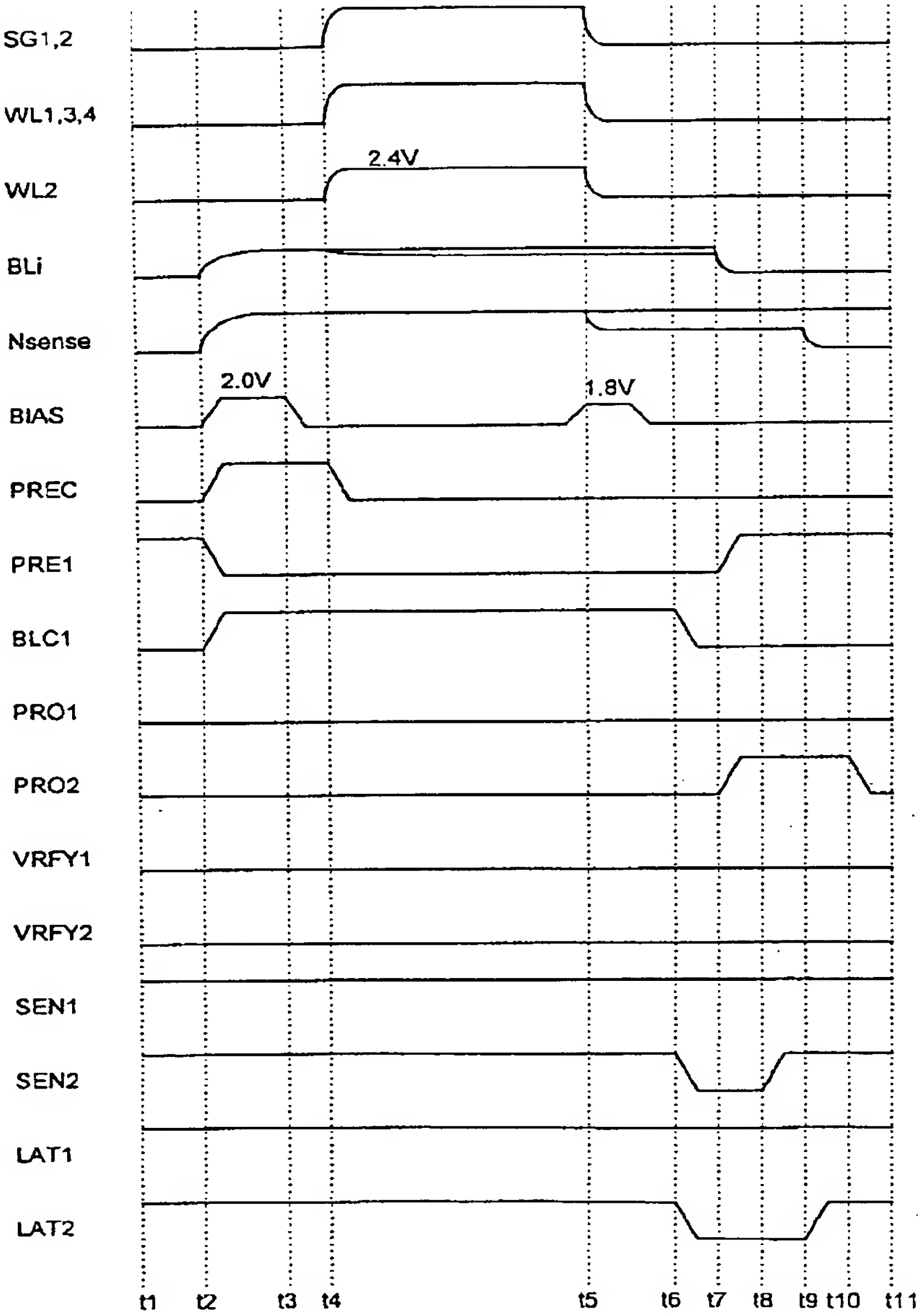
【図5】



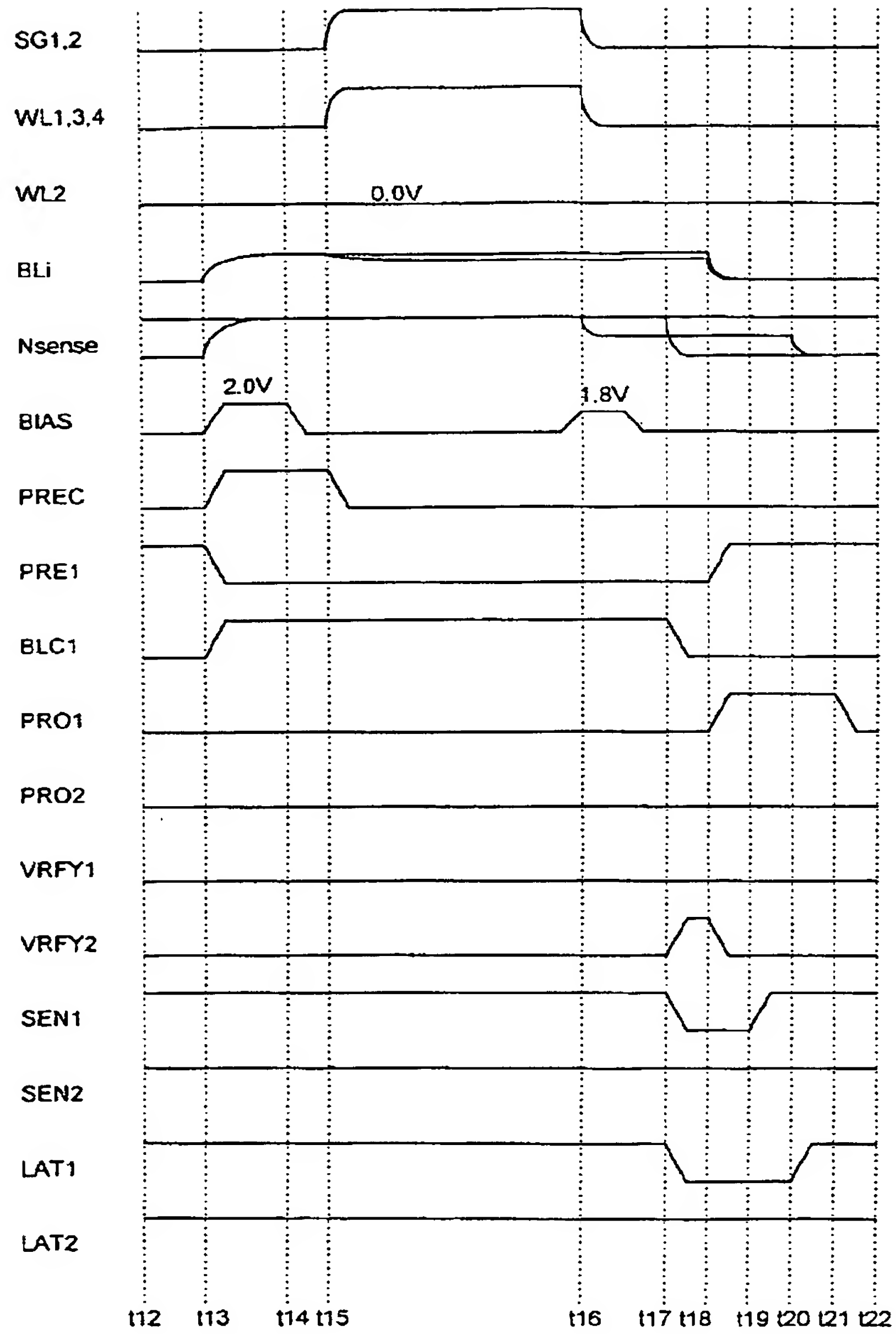
【図6】



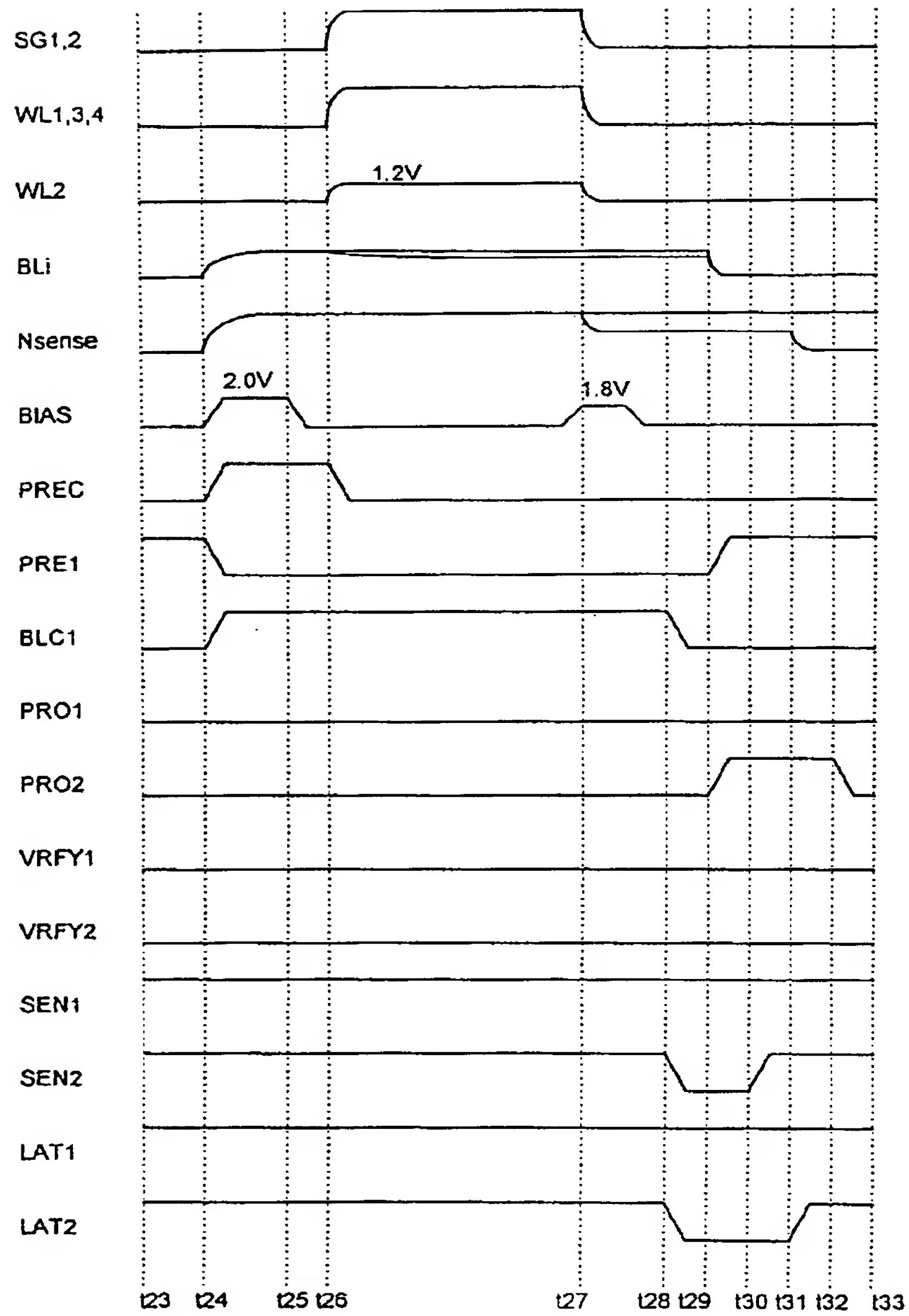
【図 7】



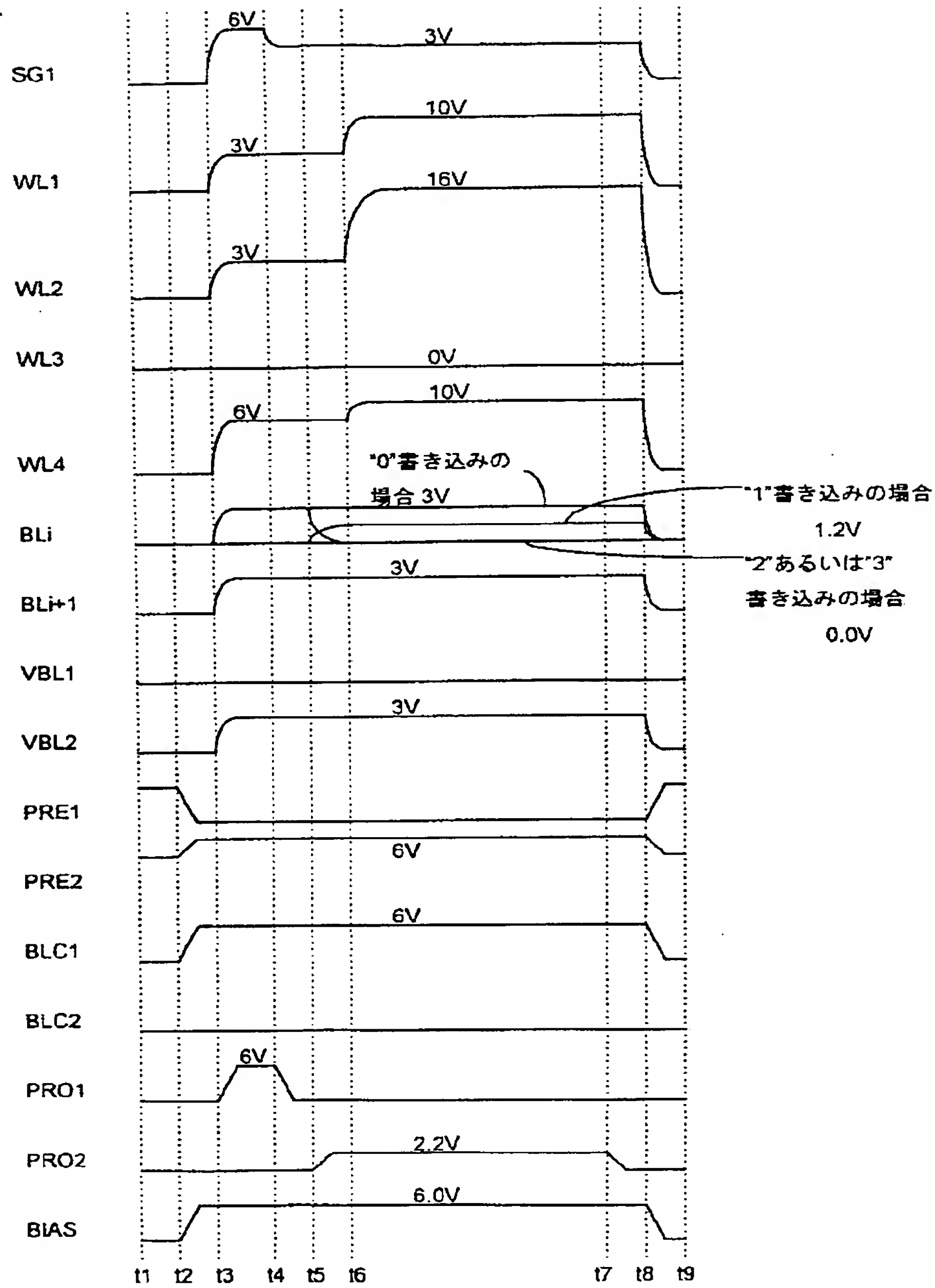
【図8】



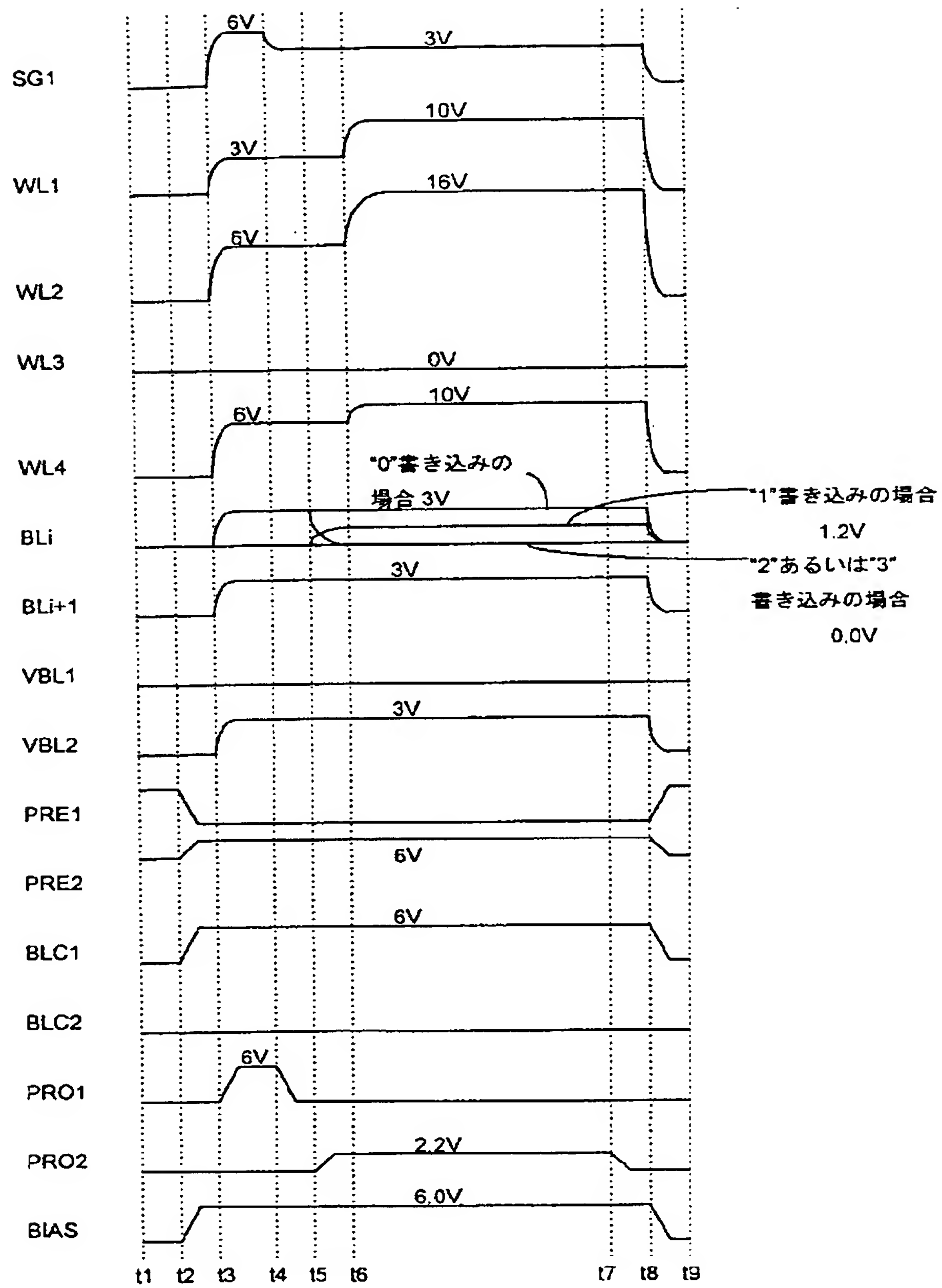
【図9】



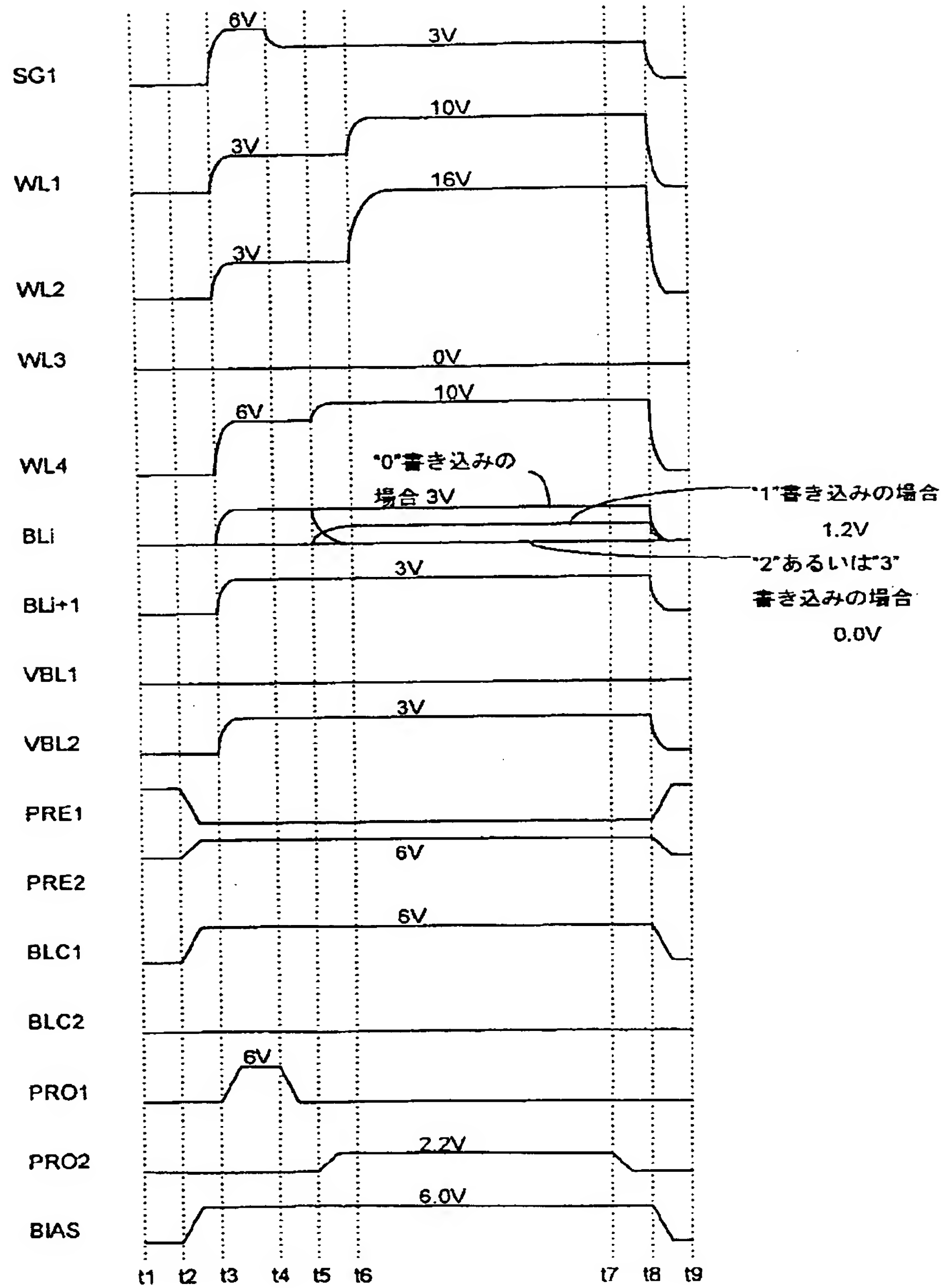
【図10】



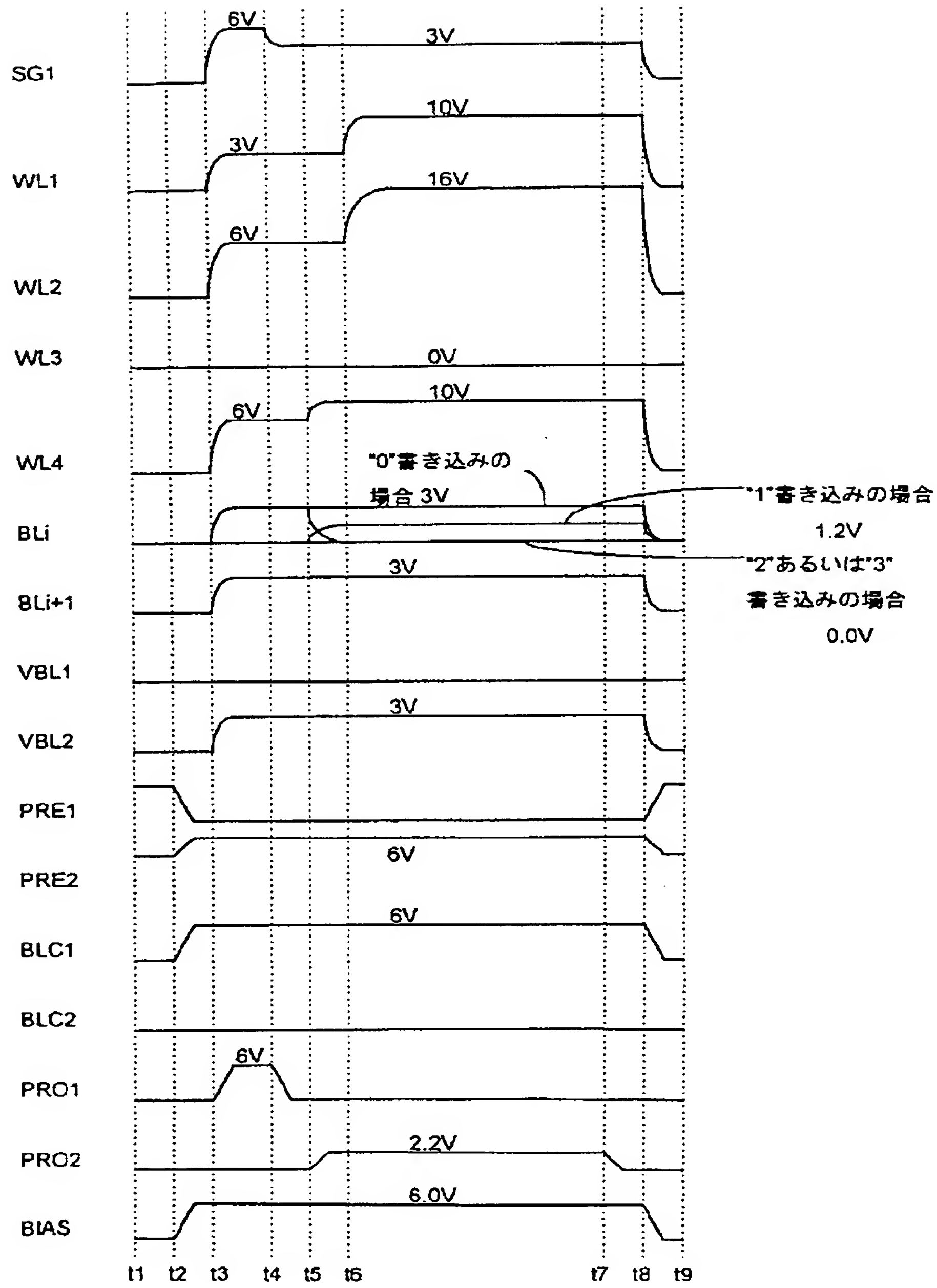
【図11】



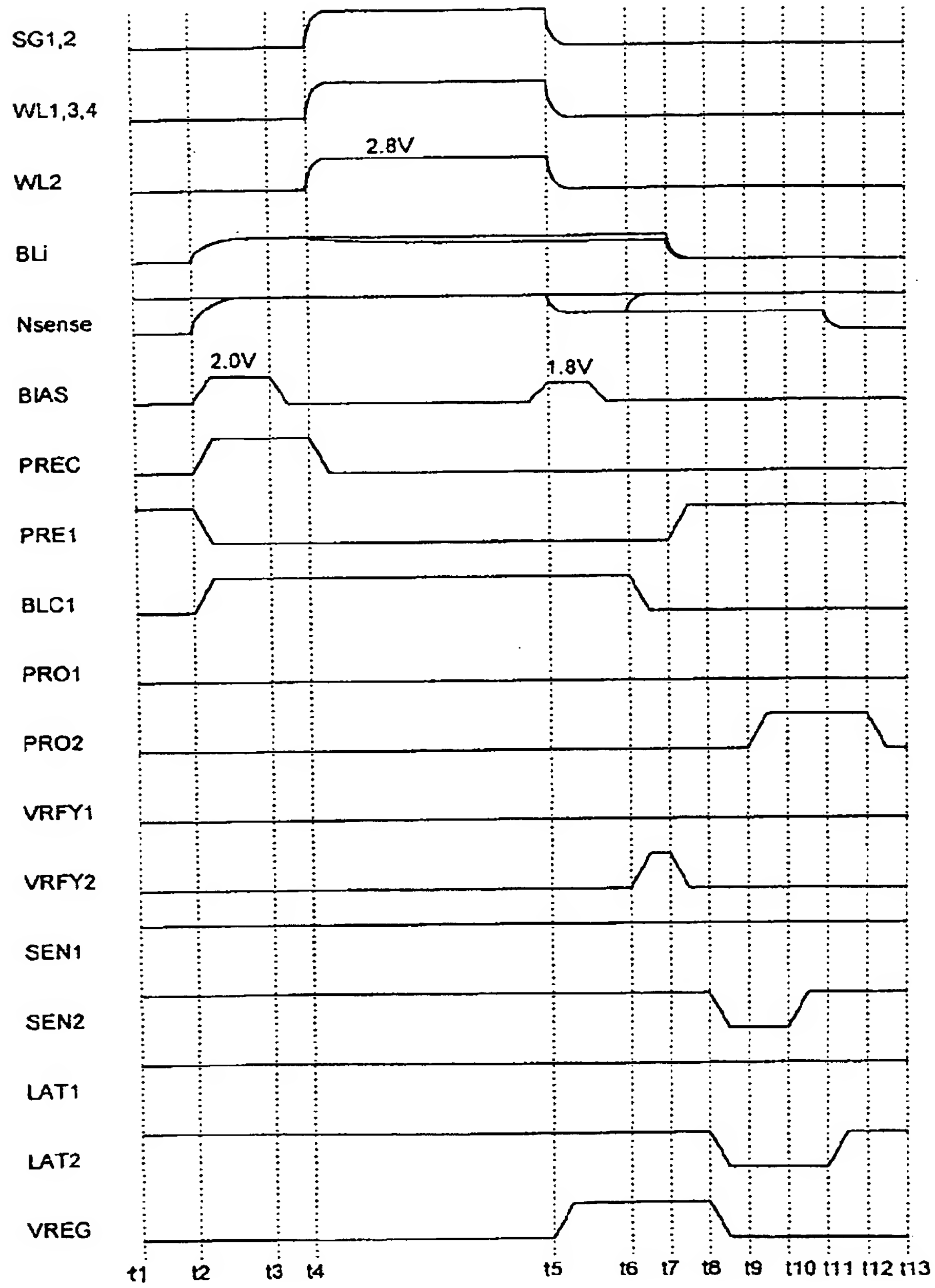
【図12】



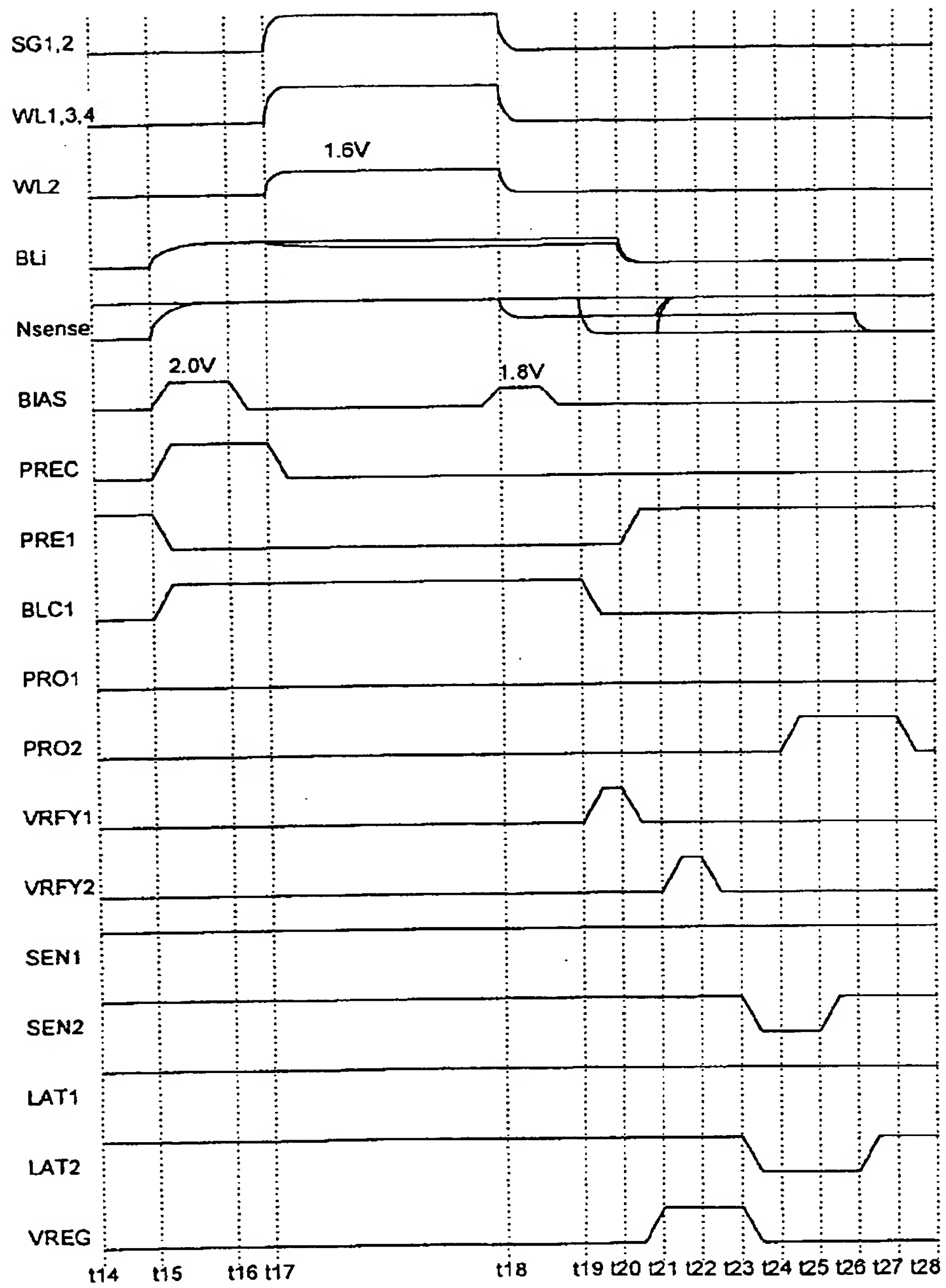
【図 13】



【図14】



【図 1 5】



【図 1 6】

